

Production of a toothed structure in crystal structure in/on substrate used in production of floating gate transistor comprises forming trenches using a mask on the substrate and etching process and the unmasked region of substrate

Publication number: DE10203998

Publication date: 2003-08-21

Inventor: LANDGRAF ERHARD (DE); SELL BERNHARD (DE);
HOFMANN FRANZ (DE); LUYKEN R JOHANNES (DE);
GOLDBACH MATTHIAS (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- international: H01L21/28; H01L21/306; H01L21/308; H01L29/423;
B81C1/00; H01L21/02; H01L29/40; B81C1/00; (IPC1-7);
H01L21/308; B81C1/00; H01L21/336; H01L21/8247

- European: H01L21/28F; H01L21/306B3; H01L21/308D4;
H01L29/423D2B2

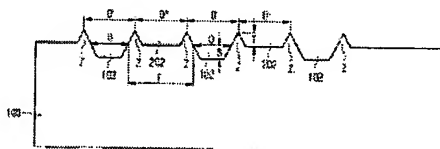
Application number: DE20021003998 20020201

Priority number(s): DE20021003998 20020201

Report a data error here

Abstract of DE10203998

Production of a toothed structure in a crystal structure in or on a substrate (100) comprises forming trenches (102, 202) using a mask on the substrate and an etching process, and etching the unmasked region of the substrate having at least one trench to form the toothed structure. Independent claims are also included for: method for producing a floating gate transistor; and floating gate transistor. Preferred Features: The crystal structure contains silicon. The structured surface of the crystal structure in the substrate has a (100) crystal orientation according to the Miller Indices. The trench is trapezoidal or V-shaped. A silicon dioxide layer is applied to the toothed structure.



Data supplied from the esp@cenet database - Worldwide



DE 102 03 998 A 1



**DEUTSCHES
PATENT- UND
MARKENAMT**

21	Aktenzeichen:	102 03 998.4
22	Anmeldetag:	1. 2. 2002
43	Offenlegungstag:	21. 8. 2003

71 Anmelder:
Infineon Technologies AG, 81669 München, DE

74 Vertreter:
Viering, Jentschura & Partner, 80538 München

(72) Erfinder:
Landgraf, Erhard, 81543 München, DE; Sell,
Bernhard, 01099 Dresden, DE; Hofmann, Franz, Dr.,
80995 München, DE; Luyken, R. Johannes, Dr.,
81825 München, DE; Goldbach, Matthias, Dr., 01099
Dresden, DE

56 Entgegenhaltungen:

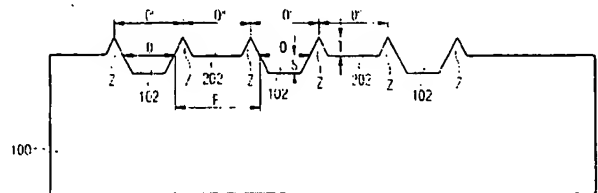
DE	196 51 832 A1
DE	40 20 724 A1
US	62 65 757 B1
US	60 25 627
US	53 89 198
EP	06 07 808 A2
JP	07-1 28 363 A
JP 20	-012 30 241 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum Herstellen einer zackenförmigen Struktur, Verfahren zum Herstellen eines Transistors, Verfahren zum Herstellen eines Floating Gate-Transistors, Transistor, Floating Gate-Transistor und Speicher-Anordnung

(57) Zum Herstellen einer zackenförmigen Struktur in einer Kristallstruktur in oder auf einem Substrat, wird mindestens ein Graben unter Verwendung einer auf dem Substrat befindlichen Maske und einem ersten Ätzverfahren gebildet. Die Maske wird zumindest teilweise entfernt und der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats wird mittels eines zweiten Ätzverfahrens geätzt, derart, dass die zackenförmige Struktur gebildet wird.



DE 102 03 998 A 1

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer zackenförmigen Struktur, ein Verfahren zum Herstellen eines Transistors, ein Verfahren zum Herstellen eines Floating Gate-Transistors, einen Transistor, einen Floating Gate-Transistor und eine Speicher-Anordnung.

[0002] Bei der Entwicklung integrierter elektronischer Bauelemente treten ständig wachsende Anforderungen auf. So sollen zum Beispiel möglichst simultan eine weitere Miniaturisierung der Bauelemente, vereinfachte Herstellungsprozesse und eine Kostenersparnis bei der Herstellung der integrierten Bauelemente erreicht werden.

[0003] Die Bestrebungen nach immer kleiner werdenden Strukturen spiegeln sich unter anderem in der Weiterentwicklung und Verfeinerung lithographischer Prozesse bei der Bearbeitung von Wafern wider. Lithographische Prozesse zeichnen sich dadurch aus, dass die Strukturierung der Wafer, beispielsweise von Siliziumscheiben, mit Hilfe einer strahlungsempfindlichen Resistschicht erfolgt, die unter Verwendung geeigneter Verfahren so bestrahlt wird, dass ein gewünschtes Muster auf die Resiststruktur abgebildet, anders ausgedrückt, dass nur ein gewünschter Bereich der Resiststruktur der Strahlung ausgesetzt wird. Anschließend werden entweder die belichteten Bereiche (bei der Positiv-Technik) oder die unbelichteten Bereiche (bei der Negativ-Technik) der Resistschicht selektiv entfernt. Das so entstehende strukturierte Resistmuster dient bei dem anschließenden Prozess-Schritt als Ätzmaske bei einem anschließenden Ätzprozess. Die Ätzmaske wird im Weiteren auch als Maske bezeichnet.

[0004] Durch die Übertragung des durch die strukturierte Photoresist-Maske definierten Musters in einem Ätzschritt auf bzw. in das Substrat entstehen Strukturen in dem Substrat, deren Dimensionen sowohl durch das Auflösungsvermögen des lithographischen Bestrahlungsprozesses als auch durch die Eigenschaften des Resistmaterials selbst dominiert werden. Die mit Hilfe des Ätzvorgangs erzeugbaren Strukturen hängen direkt von der Maske ab, d. h. die kleinste Breite eines unter Verwendung der Maske gebildeten Grabens an dessen Oberseite (d. h. an der Öffnung des Grabens) entspricht zum Beispiel bei der Positiv-Technik der feinsten abbildbaren und selektiv entfernbaren Linie bzw. Strukturgröße. Entsprechend ist auch der kleinste Abstand zwischen zwei Strukturen durch die feinste herstellbare Maskenlinie bzw. Maskenstruktur beschränkt. Dieser Abstand könnte zwar durch Unterätzung der Maske verkleinert werden, die Abstände der Mitten der durch die Maskenlinie getrennten gebildeten Strukturen zueinander, z. B. die Abstände der Mitten gebildeter Gräben zueinander in dem Substrat, d. h. der sogenannte Pitch, bleibt jedoch selbst bei einer solchen Vorgehensweise unverändert.

[0005] Eine Verfeinerung der definierbaren Strukturen kann durch Verwendung kurzwelligerer Strahlungsquellen erzielt werden, da die erreichbare minimale Strukturbreite und die Wellenlänge des zur Bestrahlung der Resistschicht verwendeten Lichtes zueinander direkt proportional sind. Es ist in diesem Zusammenhang bekannt, Belichtungswellenlängen im Bereich des fernen Ultra-Violetten Lichts (UV-Licht) (d. h. in einem Wellenlängenbereich von ungefähr 193 nm) zur Bestrahlung der Resistschicht zu verwenden.

[0006] Weiterhin ist es bekannt, Elektronenstrahlolithographie zum Direktschreiben eines gewünschten Musters in den Photoresist, d. h. in die Photoresistschicht, oder zur Maskenerzeugung verwendet werden.

[0007] Die Elektronenstrahlolithographie erfordert jedoch einen erheblichen apparativen Aufwand, zeintensiven Prozesse und verursacht somit hohe Kosten.

[0008] Ein weiterer Fortschritt im Bereich der Photolithographie konnte durch die Entwicklung sogenannter Phasen-Masken (Phase Shift Masks, PSMs) erzielt werden. Eine in der Photolithographie verwendete Standard-Maske weist in der Regel ein durch Chrom definiertes Muster auf Glas (Siliziumdioxid) auf. Bei einer solchen Standard-Maske kommt es jedoch zu Streuungseffekten an den Rändern der durch das Chrom definierten Linien und Strukturen, was sich negativ auf die erreichbare Auflösung des Photolithographie-Verfahrens auswirkt. Mit Hinblick auf diesen Effekt wurden verschiedene Phasen-Masken entwickelt, die sich von einer Standard-Maske dadurch unterscheiden, dass sie zwei Arten von transparenten Bereichen enthalten. Die optische Weglänge der Lichtwellen in den beiden transparenten Bereichen ist um eine halbe Wellenlänge $\lambda/2$ verschieden, was einer Phasenverschiebung um 180 Grad entspricht. Daraus resultiert ein größerer Intensitätsgradient des einfallenden Lichtes und damit eine kleinere minimale übertragbare Strukturgröße. Beispiele für eine Phasen-Maske sind die Attenuated-PSM oder Half-tone-PSM, die Alternating-PSM, sowie die chromlose PSM.

[0009] Das Ätzen des Siliziums kann prinzipiell isotrop, d. h. richtungsunabhängig (in alle Richtungen mit der gleichen Geschwindigkeit, d. h. der gleichen Ätzrate, fortschreitend) oder anisotrop, d. h. mit gerichteter Ätzwirkung (in unterschiedliche Richtungen mit unterschiedlicher Geschwindigkeit, d. h. unterschiedlicher Ätzrate, fortschreitend) erfolgen. Ätzverfahren werden üblicherweise in Trockenätzverfahren und Nassätzverfahren unterschieden. Bei einem Nassätzverfahren erfolgt das Ätzen mit Hilfe spezieller chemischer Lösungen, während bei einem Trockenätzverfahren die Materialabtragung mit Hilfe gasförmiger Medien, die durch eine Gasentladung im hochfrequenten Wechselfeld angeregt werden, je nach Gaszusammensetzung chemisch oder physikalisch oder durch eine Kombination beider, erfolgt.

[0010] Neben der fortschreitenden Miniaturisierung zeichnet sich auch ein Trend zu komplexeren Strukturen bei elektronischen Bauelementen ab. Durch die komplexeren Strukturen wird eine Nutzung interessanter und vorteilhafter physikalischer Phänomene ermöglicht. Dies ist zum Beispiel der Fall bei den EEPROM-Zellen (Electrically Erasable and Programmable Read Only Memory-Zellen), bei denen die Geometrie und die Anordnung der verschiedenen Zell-Komponenten zueinander einen entscheidenden Einfluss auf die Programmier- und Löscheigenschaften einer EEPROM-Zelle ausüben kann, wie nachfolgend dargestellt wird.

[0011] Nichtflüchtige Speicherzellen (Non-Volatile Memory-Zellen) haben sich in den letzten Jahren zu etablierten Komponenten elektronischer Systeme entwickelt.

[0012] Sie zeichnen sich dadurch aus, dass der in der Speicherzelle gespeicherte Informationsgehalt auch nach Abschalten der Versorgungsspannung für längere Zeit (üblicherweise für einen Zeitraum von mehr als 10 Jahre) in der Speicherzelle erhalten bleibt.

[0013] Bei einer speziellen EEPROM-Zelle, einer sogenannten Floating Gate-Speicherzelle, gebildet von mindestens einem sogenannten Floating Gate-Transistor, wird elektrische Ladung in einer rundum isolierten, von Dielektrikum gekapselten Poly-Silizium Struktur (dem Floating Gate) gespeichert, welche zwischen einem Steuer-Gate (Control Gate) und dem üblicherweise im Substrat sich befindlichen Kanalbereich des Floating Gate-Transistors angeordnet ist. Durch Einbringen oder Entfernen elektrischer Ladungsträger in das Floating Gate hinein oder aus dem Floating Gate heraus ändert sich die Einsatzzspannung des Floating Gate-Transistors.

[0014] Wird die Speicherzelle, d. h. der Floating Gate-Transistor programmiert, d. h. wird eine bestimmte Menge an Ladungsträgern in das Floating Gate eingebracht oder aus dem Floating Gate entfernt, so verändert sich die Einsatzzspannung des Floating Gate-Transistors. Der Wert der Einsatzzspannung des Floating Gate-Transistors wird als logischer Wert interpretiert. Ist der Wert der Einsatzzspannung des Floating Gate-Transistors größer als ein vorgegebener Schwellenwert, so wird dieser Zustand des Transistors als erster Zustand des Transistors interpretiert. Dem ersten Zustand wird ein erster logischer Wert zugeordnet, beispielsweise der binäre logische Wert "1". Ist der Wert der Einsatzzspannung des Floating Gate-Transistors jedoch kleiner oder gleich dem vorgegebenen Schwellenwert, so wird dieser Zustand des Transistors als zweiter Zustand des Transistors interpretiert. Dem zweiten Zustand wird ein zweiter logischer Wert zugeordnet, beispielsweise der binäre logische Wert "0".

[0015] Je nachdem, um welche Art von Transistor es sich handelt und ob das Floating Gate elektrisch neutral oder mit elektrischen Ladungsträgern geladen ist, ist die Speicherzelle, d. h. der Transistor beim Lesen des Transistorzustandes elektrisch leitend oder elektrisch nicht-leitend.

[0016] Der leitende oder nicht-leitende Zustand wird dann als der entsprechende logische Wert interpretiert. Der Transfer von Ladungsträgern in das Floating Gate des Transistors beim Programmieren der Speicherzelle kann auf verschiedene Weise erfolgen, beispielsweise unter Verwendung des Prinzips des Fowler-Nordheim-Tunnels oder unter Verwendung des Prinzips der sogenannten "heißen" Elektronen (Channel Hot Electrons).

[0017] Bei dem Fowler-Nordheim-Tunneln wird eine hohe Potentialdifferenz an dem Gateoxid des Transistors erzeugt, wodurch Elektronen infolge der hohen elektrischen Feldstärke durch das Gateoxid hindurch aus dem Floating Gate in das darunter liegende Kanalgebiet tunneln und dabei eine positive Ladung hinterlassen, die nicht abfließen kann.

[0018] Bei einer Channel Hot Electron-Zelle tunneln die "heißen" Elektronen in Nähe des Drain-Bereichs (infolge lokaler Spitzen des elektrischen Feldes) durch das Gateoxid hindurch zum Floating Gate.

[0019] Nachteil des Channel Hot Electron-Konzepts ist die im Rahmen des Programmierens erforderliche große elektrische Potentialdifferenz an dem Floating Gate-Transistor als Speicherristor zwischen dessen Source-Bereich und Drain-Bereich erforderlich macht. Die erforderliche große elektrische Potentialdifferenz zwischen dem Source-Bereich und dem Drain-Bereich ist gleichbedeutend mit einer Einschränkung der Miniaturisierbarkeit des Floating Gate-Transistors.

[0020] Auch der Fowler-Nordheim-Tunnelmechanismus erfordert ein relativ hohes elektrisches Feld (d. h. eine relativ hohe Programmiervoltage), was zu Problemen bei der Integration nichtflüchtiger Speicherzellen in einen Standard-Logikschaltkreis führt, da eine derart hohe Spannung dort üblicherweise nicht verwendet werden darf, um den Logikschaltkreis nicht zu zerstören.

[0021] Ein Lösungsansatz dieses Problems sieht eine nicht-planare Anordnung von Floating Gate und Substrat, zwischen denen das Tunneln der Ladungsträger erfolgt, vor.

[0022] Eine Ausbildung von Spitzen im Floating Gate mit der damit verbundenen lokalen Felderhöhung, wie z. B. bei der SST (Silicon Storage Technology)-Zelle (vgl. [1]), setzt die für das Tunneln gemäß dem Fowler-Nordheim Mechanismus benötigte Spannung herab. In der Superflash EEPROM (SST)-Zelle gemäß [1] erfolgt der Löschvorgang mittels Fowler-Nordheim-Tunnels vom Floating Gate zum Control Gate des jeweiligen Floating Gate-Transistors. Eine

Oxidation des das Floating Gate bildenden Poly-Siliziums wird derart ausgeführt, dass am Rand des Floating Gates Spitzen ausgebildet werden, mit Hilfe derer eine sogenannte feldverstärkte Tunnelinjektion ermöglicht wird.

[0023] Auf einem ähnlichen Prinzip beruht die in [2] beschriebene nichtflüchtige Speicherzelle, bei der die Oberfläche des Substrats eine Matrix aus Mikrostrukturen aufweist.

[0024] Somit liegt der Erfindung das Problem zugrunde die Herstellung einer sublithographischen Struktur auf einfachere und kostengünstigere Weise zu ermöglichen.

[0025] Das Problem wird durch das Verfahren zum Herstellen einer zackenförmigen Struktur mit den Merkmalen gemäß dem unabhängigen Patentanspruch gelöst.

[0026] Ferner liegt der Erfindung das Problem zugrunde, einen Transistor sowie einen Floating Gate-Transistor anzugeben, mit einem gegenüber dem Stand der Technik größeren Tunnelstrom bei gleichbleibender Potentialdifferenz der an dem Transistor anliegenden elektrischen Spannungen.

[0027] Das Problem wird durch ein Verfahren zum Herstellen eines Transistors, durch ein Verfahren zum Herstellen eines Floating Gate-Transistors, durch einen Transistor, durch einen Floating Gate-Transistor und durch eine Speicher-Anordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0028] Bei einem Verfahren zum Herstellen einer zackenförmigen Struktur in einer Kristallstruktur in oder auf einem Substrat ist eine Sequenz von Fertigungsschritten vorgesehen, bei der zunächst zumindest ein Graben mit Hilfe einer auf dem Substrat befindlichen Maske und einem Ätzverfahren gebildet wird. Anschließend wird die Maske zumindest teilweise entfernt und der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats wird mittels eines zweiten Ätzverfahrens geätzt derart, dass die zackenförmige Struktur gebildet wird.

[0029] Das erfindungsgemäße Verfahren nutzt anschaulich die besonderen kristallographischen Eigenschaften von Silizium, allgemein von in Diamant-Struktur kristallisierenden Materialien, und Standard-Prozesse der Lithographie, um auf sehr einfache und damit kostengünstige Weise eine, vorzugsweise sublithographische, zackenförmige, anders ausgedrückt sägezahnförmige, Struktur zu erzeugen.

[0030] Insbesondere bei anisotropem Nassätzen wird die Kristallstruktur beispielsweise von monokristallinem Silizium ausgenutzt, da aufgrund der verschiedenen Dichten von Atomen in den verschiedenen Kristallrichtungen der Kristallstruktur des monokristallinen Siliziums bestimmte Kristallebenen schneller mittels des Ätzmittels abgetragen werden als andere. Es lassen sich je nach Orientierung der dichtesten und damit nur langsamer angreifbaren $\langle 111 \rangle$ -Ebenen (Nomenklatur gemäß den Millerschen Indizes) zur Oberfläche V-förmige Gräben oder Gräben mit senkrechten Wänden (d. h. rechteckigem Profil) herstellen. Generell hängen die Ätzrate sowie die Oberflächenbeschaffenheit des geätzten Siliziums, allgemein der geätzten Kristallstruktur sowohl von der Zusammensetzung der Ätzlösung hinsichtlich ihrer Inhaltsstoffe sowie deren Konzentration als auch von der Temperatur der Ätzlösung ab.

[0031] Bei anisotropem Ätzen von einer $\langle 100 \rangle$ -Kristallstruktur, vorzugsweise von $\langle 100 \rangle$ -Silizium, entstehen, bestimmt durch die Winkel der $\langle 111 \rangle$ -Flächen zur Oberfläche der Kristallstruktur je nach Dauer des Prozesses V-förmige oder trapezoidale Gräben.

[0032] Für die anisotrop wirkende Siliziumätzung können insbesondere Alkalilaugen wie Kaliumhydroxid (KOH), Lithiumhydroxid (LiOH), Natriumhydroxid (NaOH) oder eine Mischung aus Ethylendiamin, Brenzkatechin, Pyrazin und Wasser (EDP-Lösung) verwendet werden, alternativ auch TMAH (TMAH = Tetra-Methyl-Ammonium-Hydro-

sich), welches ein ähnliches Verhalten wie Ni_4O_7 aufweist.
[0033] Es ist in diesem Zusammenhang anzumerken, dass die Erfindung nicht auf das Material Silizium als Kristallstruktur beschränkt ist, sondern dass andere Materialien mit geeigneten kristallinen Eigenschaften in gleicher verwendet werden können.

[0034] So kann die Erfindung beispielsweise ebenfalls bei einer Gallium-Arsenid (GaAs)-Kristallstruktur eingesetzt werden, in welchem Fall NaOH 0,24 mol/l, H_2O_2 0,17 mol/l bei 5°C verwendet werden.

[0035] In einem anderen Fall, in dem Indium-Phosphid (InP) als Kristallstruktur verwendet wird, kann Schwefelsäure/Wasserstoffperoxid oder Promethanollösung verwendet werden.

[0036] Etwas ausführlicher dargestellt sieht das erfindungsgemäße Verfahren zunächst ein Standardverfahren der Lithographie vor, d. h. auf eine Kristalloberfläche wird eine Photoresistschicht aufgebracht und diese belichtet, so dass ein Muster in die Maskierschicht auf der Kristalloberfläche übertragen wird. Bei Verwendung einer Positivtechnik werden die belichteten Stellen der Photoresistschicht entwickelt, d. h. selektiv entfernt, so dass an den jeweiligen entfernten Stellen der Maskierschicht die Kristalloberfläche freigelegt wird. An diesen Schritt schließt sich ein Ätzschritt an, wobei an den Stellen, an denen die Maskierschicht, d. h. die Maske entfernt worden ist, die Kristalloberfläche angegriffen und dort Gräben erzeugt werden, deren Form von der Kristallorientierung der Kristallstruktur an der Kristalloberfläche abhängt.

[0037] Anschaulich kann die Erfindung darin gesehen werden, dass weitere Schritte in einem an sich bekannten lithographischen Verfahren vorgesehen sind, die in einfacher Weise die Herstellung komplexer, insbesondere zackenförmiger Strukturen in einer Kristallstruktur, vorzugsweise in monokristallinem Silizium mit der Möglichkeit zur Erreichung sublithographischer Dimensionen ermöglichen.

[0038] Durch die Einführung zweier weiterer Verfahrensschritte, eines Schrittes, bei dem die Maskierschicht zumindest teilweise, d. h. zumindest in den dem Graben oder den Gräben benachbarten Bereichen, entfernt wird, und eines weiteren Ätzschrittes können nicht nur zackenförmige Erhebungen an den Grenzen der vorhandenen Gräben zu den neu ausgebildeten Gräben ausgebildet werden, sondern es eröffnet sich auch eine große Zahl von Möglichkeiten, bei denen die Zacken als Basis für eine weitere Strukturverfeinerung genutzt werden.

[0039] Ausgangspunkt des erfindungsgemäßen Verfahrens ist das Ätzverhalten der Kristallstruktur insbesondere von Silizium. Wird, wie bereits geschildert, ein Graben anisotrop in die $\langle 100 \rangle$ -Oberfläche der Kristallstruktur geätzt, so bildet sich je nach Dauer des Ätzvorgangs eine V-Form oder eine trapezoidale Form aus.

[0040] Erfolgt nun ein weiterer, ebenfalls anisotroper Ätzschritt, der die unmaskierte, den Graben aufweisende Siliziumoberfläche angreift, so hat der Rand des bereits ausgebildeten Grabens eine ähnliche Wirkung wie eine Maske, d. h. von diesem Grabenrand her bildet sich eine einer $\langle 111 \rangle$ -Ebene folgende, die Kante des bereits ausgebildeten Grabens schneidende Kante aus. Da sowohl der vorhandene Graben als auch die Siliziumoberfläche wesentlich schneller in die Tiefe (d. h. in $\langle 100 \rangle$ -Richtung) geätzt werden, als die Abtragung in $\langle 111 \rangle$ -Richtung, d. h. in Richtung der Seiten erfolgt, bilden sich zackenförmige Erhebungen aus.

[0041] Die grundlegenden Techniken zur Ausführung der Schritte des erfindungsgemäßen Verfahrens bedienen sich üblicher Verfahrensschritte der Halbleiter-Technologie (z. B. Lithographie oder MCM-Technologie (Microelectro Mechanical Systems-Technologie)).

[0042] So kann die zur Maskierung der Siliziumoberfläche dienende Schicht zum Beispiel eine Photoresistschicht sein, die mittels Belichtung durch eine Maske oder direkt-schreibende Verfahren strukturiert werden kann. Die Maske kann aber auch statt aus Photolack aus Siliziumnitrid oder anderen geeigneten Materialien bestehen. Da Siliziumnitrid nicht unmittelbar photolithographisch strukturiert werden kann, erfordert die Verwendung von Siliziumnitrid als Maske einen zusätzlichen Schritt zur Musterdefinition auf der Schicht und anschließendem selektiven Entfernen des Siliziumnitrids zur Übertragung des Musters unter Verwendung der Maske in die Kristallstruktur. Auch die Verwendung anderer geeigneter Maskentypen sind gemäß alternativer Ausgestaltungen der Erfindung vorgesehen, insbesondere so lange sie mit den im Gesamtprozess vorgesehenen Schritten prozesskompatibel sind.

[0043] Zur Belichtung werden ebenfalls Standardverfahren verwendet, wobei zur Strukturverkleinerung auch Phasen-Masken eingesetzt werden können, wie im Weiteren näher erläutert wird.

[0044] Das Entfernen der Maske erfolgt gleichfalls mittels konventioneller Techniken, d. h. im Falle von Photoresist beispielsweise durch geeignete chemische Lösungen, oder aber auch z. B. mittels Plasma-Ätzens. Die Photoresistschicht kann vollständig oder aber auch nur teilweise entfernt werden.

[0045] Beim ebenfalls einsetzbaren sogenannten Mask Pullback, d. h. einem Verfahren zum Entfernen der Maske selektiv im Bereich eines geätzten Grabens, macht man sich die Tatsache zunutze, dass das Abtragen der Photoresistschicht durch die chemische Lösung an allen der Lösung zugänglichen Stellen erfolgt. Daher erfolgt sowohl eine Abtragung des Photoresistmaterials von oben, d. h. parallel zur Oberfläche des Siliziums, wie auch von den Seiten der durch die Muster erzeugten Linien, so dass die Maskierschicht im Bereich der Maskenlinien und damit der durch Ätzen erzeugten Gräben definiert entfernt werden kann, so dass neben dem jeweiligen Graben je nach Dauer der Behandlung mit der Lösung unterschiedlich große Flächen des Siliziumkristalls, allgemein der Kristallstruktur, freigelegt werden.

[0046] Nach diesem Schritt kann ein erneuter Ätzschritt und damit die Bildung zweier weiterer Gräben unter Ausbildung der entsprechenden Anzahl von Zacken an der Grenze zwischen den Gräben erfolgen.

[0047] Auch bei den Ätzverfahren werden geeignete, aus dem Stand der Technik an sich bekannte Verfahren eingesetzt werden, wobei prinzipiell sowohl, insbesondere anisotrope, Nass- wie auch Trockenätzschritte eingesetzt werden können, wobei ein Trockenätzverfahren insbesondere als erstes Ätzverfahren vorgesehen ist. Eine Nassätzung ist jedoch aufgrund des wesentlich geringeren apparativen Aufwandes bevorzugt. Es ist in diesem Zusammenhang anzumerken, dass als das erste Ätzverfahren und als das zweite Ätzverfahren gleiche Ätzverfahren eingesetzt werden können oder wahlweise auch unterschiedliche Ätzverfahren.

[0048] Durch die Verwendung von Standard-Verfahren der Lithographie und der Kristallstrukturierung ist die zackenförmige Struktur sehr einfach und somit mit einem sehr geringen Kostenaufwand realisierbar.

[0049] Die Verwendung dieser Verfahren erlaubt weiterhin eine große Flexibilität bei der Wahl der auszubildenden Strukturen, die auf einer einfachen Linie basieren oder aber durch Linienraster, Kreise und komplexe Muster definiert werden können.

[0050] Prinzipiell ist im ersten Ätzschritt, d. h. bei Durchführung des ersten Ätzverfahrens, die Bildung eines einzigen Grabens ausreichend, um mittels des Verfahrens jeweils einen Zacken an jeder der beiden Kanten des Grabens an der

Grenze zu dem umliegenden Substrat hin ausbilden zu können. Vorzugsweise werden jedoch eine Mehrzahl von Gräben geätzt, und damit eine größere Zahl von Zacken ausgebildet. Die Anzahl der Zacken in der zackenförmigen Struktur ist mittels entsprechender Wahl der Anzahl der in der Kristallstruktur gebildeten Gräben einstellbar.

[0051] Bei einem Verfahren zum Herstellen eines Transistors wird das oben dargestellte Verfahren zum Herstellen einer zackenförmigen Struktur verwendet. Anschaulich wird nach Herstellen der zackenförmigen Struktur ein Floating Gate-Transistor gebildet, wobei die zackenförmigen Struktur über dem zu bildenden Kanalbereich des Transistors angeordnet ist.

[0052] Bei dem Verfahren zum Herstellen eines Transistors wird mindestens ein Graben mittels einer Maske, welche sich auf einer Kristallstruktur eines Substrats befindet, und mittels eines ersten Ätzverfahrens gebildet. Die Maske wird zumindest teilweise entfernt und der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats wird mittels eines zweiten Ätzverfahrens geätzt derart, dass eine zackenförmige Struktur gebildet wird. Auf die zackenförmige Struktur wird eine erste Isolationsschicht aufgebracht, welche zumindest einen zu bildenden Kanalbereich des Transistors bedeckt. Auf die erste Isolationsschicht wird eine Control Gate-Schicht aufgebracht und es werden ein erster Source-/Drain Bereich und ein zweiter Source-/Drain Bereich gebildet.

[0053] Bei dem Verfahren zum Herstellen eines Floating Gate-Transistors wird mindestens ein Graben mittels einer Maske, welche sich auf einer Kristallstruktur eines Substrats befindet, und mittels eines ersten Ätzverfahrens gebildet. Die Maske wird zumindest teilweise entfernt und der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats wird mittels eines zweiten Ätzverfahrens geätzt derart, dass eine zackenförmige Struktur gebildet wird. Auf die zackenförmige Struktur wird eine elektrisch isolierend wirkende erste Isolationsschicht aufgebracht, welche zumindest einen zu bildenden Kanalbereich des Transistors bedeckt. Anschließend wird auf die erste Isolationsschicht eine das Floating Gate des Transistors bildende Floating Gate-Schicht aufgebracht. Auf der Floating Gate-Schicht wird eine elektrisch isolierend wirkende zweite Isolationsschicht aufgebracht. Auf der zweiten Isolationsschicht wird eine das Steuer-Gate des Floating Gate Transistors bildende Control Gate-Schicht aufgebracht. Schließlich werden ein erster Source-/Drain Bereich und ein zweiter Source-/Drain Bereich gebildet.

[0054] Ein Transistor, weist auf eine Kristallstruktur in oder auf einem Substrat mit nebeneinander angeordnetem ersten Source-/Drain-Bereich, Kanalbereich und zweitem Source-/Drain-Bereich, wobei die Oberfläche der Kristallstruktur über dem Kanalbereich eine Zackenform aufweist, eine auf zumindest dem Kanalbereich aufgebrachte erste Isolationsschicht sowie eine auf die erste Isolationsschicht aufgebrachte Control Gate-Schicht.

[0055] Ein Floating Gate-Transistor weist auf:

eine Kristallstruktur in oder auf einem Substrat mit nebeneinander angeordnetem ersten Source-/Drain-Bereich, Kanalbereich und zweitem Source-/Drain-Bereich, wobei die Oberfläche der Kristallstruktur über dem Kanalbereich eine Zackenform aufweist,

eine auf zumindest dem Kanalbereich aufgebrachte erste Isolationsschicht,

eine auf die erste Isolationsschicht aufgebrachte Floating Gate-Schicht,

eine auf die Floating Gate-Schicht aufgebrachte zweite Isolationsschicht,

eine auf die zweite Isolationsschicht aufgebrachte Control Gate-Schicht.

[0056] Weiterhin ist eine Speicher-Anordnung mit mindestens einem Transistor vorgesehen, wobei der Transistor jeweils das Speicherelement der Speicher-Anordnung bildet. Sind eine Vielzahl von Speicherelementen in der Speicher-Anordnung vorgesehen, so ist ferner eine Adresseodierungs-Einrichtung vorgesehen zur Adressierung der jeweiligen Speicherelemente. Die Adresseodierungs-Einrichtung weist beispielsweise eine Spalten-Adresseodierungs-Einrichtung sowie eine Zeilen-Adresseodierungs-Einrichtung auf.

[0057] Der erfindungsgemäße Transistor weist einen gegenüber den bekannten Transistoren größeren Tunnelstrom bei gleichbleibender Potentialdifferenz der an dem Transistor anliegenden elektrischen Spannungen auf.

[0058] Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Patentansprüchen.

[0059] Die dargelegten Weiterbildungen der Erfindung gelten für das Verfahren zum Herstellen einer zackenförmigen Struktur, das Verfahren zum Herstellen eines Transistors, den Transistor, sowie für die Speicher-Anordnung.

[0060] Vorzugsweise wird als Kristallstruktur einkristallines Silizium verwendet, und wieder vorzugsweise wird Silizium verwendet, dessen Oberfläche gemäß den Millerschen Indizes eine $\langle 100 \rangle$ -Kristallorientierung aufweist.

[0061] Die langsame Angreifbarkeit der $\langle 111 \rangle$ -Kristallebene ermöglicht, wie bereits ausgeführt, die Ausbildung interessanter Strukturen, die durch die Orientierung dieser Ebenen zueinander und zur Oberfläche der Kristallstruktur geprägt sind.

[0062] Die Form der gebildeten Zacken, z. B. der Winkel an ihrem Scheitel, ist durch den Winkel der $\langle 111 \rangle$ -Kristallebenen definiert. Dies bedeutet, dass bei gegebener Höhe des Zackens und durch den festgelegten Winkel an der Spitze des die jeweilige Zacke bildenden gleichschenkligen Dreiecks die Zacken immer eine genau definierte, berechenbare Fläche und Basisbreite aufweisen.

[0063] Selbstverständlich ist es jedoch möglich, durch geeignete, zusätzliche Verfahrensschritte, die Form der Zacken zu verändern (d. h. beispielsweise zu verschmälern oder abzuflachen).

[0064] Die Herstellung der Gräben erfolgt gemäß einer bevorzugten Ausführungsform der Erfindung durch nasschemisches Ätzen, insbesondere unter Verwendung anisotrop wirkender Ätzlösungen, zu denen, wie obig beschrieben, zum Beispiel die Laugen der Alkalimetalle gehören.

[0065] Ein Einsatz von Trockenätzverfahren ist jedoch insbesondere für den ersten Ätzschritt ebenfalls vorgesehen.

[0066] Der Einsatz geeigneter anderer Verfahren zur Erzeugung von Gräben ist gemäß alternativer Ausgestaltungen der Erfindung ebenfalls vorgesehen. Die zum anisotropen Ätzen verwendeten Lösungen bieten große Flexibilität sowohl bezüglich der einstellbaren Ätzgeschwindigkeit wie auch ihrer Selektivität bei der Abtragung der unterschiedlichen Kristallebenen, so kann beispielsweise das Verhältnis von Ätzrate in $\langle 100 \rangle$ -Kristallorientierung zu $\langle 111 \rangle$ -Kristallorientierung im Bereich von 4 : 1 bis 100 : 1 eingestellt werden.

[0067] Der Abstand der Zacken voneinander und die speziellen Muster sind durch die jeweils verwendete Maske einstellbar.

[0068] Wird zum Beispiel ein Raster aus gleich breiten Linien, die in gleichen, parallelen Abständen zueinander angeordnet sind, verwendet, und weisen diese Linien sowie ihr Abstand minimal erzeugbare Strukturbreiten auf, so entsteht durch den zweiten anisotropen Ätzschritt auf dem Steg zwi-

schen den im ersten Ätzschrift ausgebildeten Gräben eine Grabenstruktur, deren Dimension sublithographisch, d. h. kleiner als mit dem eingesetzten lithographischen Verfahren an sich herstellbar, ist.

[0069] Damit bietet das Verfahren die Möglichkeit, unter Verwendung konventioneller Lithographie und in einfacher Weise sublithographische Strukturen zu erzeugen.

[0070] Eine Verwendung von Phasen-Masken (Phase Shift Masks) beispielsweise in Verbindung mit einem sogenannten Mask Pullback-Verfahren erlaubt eine weitere Verkleinerung der erreichbaren Strukturen.

[0071] Ferner ist vorteilhaft, dass durch die Ausbildung eines Grabens zwischen zwei durch Lithographie definierten Gräben der erreichbare Pitch, d. h. der Abstand zwischen den Mitten zweier benachbarter Strukturen, entscheidend verkleinert werden kann. Damit ist eine wesentlich höhere Dichte an Strukturen auf dem Wafer möglich.

[0072] Prinzipiell können die Gräben bis zur Ausbildung der vollständigen V-Form oder aber auch nur bis zur Ausbildung einer trapezoidalen Form geätzt werden, wobei die Tiefe des gebildeten Trapezes sehr genau eingestellt werden kann.

[0073] Das Layout der Maske kann auch so gewählt werden, dass eine regelmäßige Struktur mit äquidistanten Zackenspitzen ausgebildet wird. Dazu muss z. B. in einem Linienraster die Maskenlinie etwas breiter sein als die freigelegte (entwickelte) Linie.

[0074] Ein erheblicher Vorteil des Verfahrens ist weiterhin die Möglichkeit, die entstandenen Strukturen in einem iterativen Verfahren mit grundsätzlich einer beliebigen Zahl von Iterationen zu verfeinern. Dies kann insbesondere durch Planarisieren der ausgebildeten Zacken erfolgen, wodurch ein erneutes Ätzen der durch die Planarisierung erzeugten Flächen möglich ist und noch kleinere Gräben und damit einhergehend eine größere Zahl an Zacken hergestellt werden können.

[0075] Hiermit wird der Pitch weiter verkleinert und somit die Strukturgröße weiter erhöht.

[0076] Zur Planarisierung eignet sich zum Beispiel das chemisch-mechanische Polieren (CMP). Die Verwendung anderer, geeigneter Verfahren ist jedoch ebenfalls möglich. Werden freistehende Zacken auf einer Siliziumoberfläche mittels eines CMP-Verfahrens planarisiert, ist die Verwendung einer Schicht, die als harte Barriere für die Planarisierung dient, bevorzugt. Dazu kann zum Beispiel eine Siliziumnitridschicht dienen.

[0077] Des Weiteren ist die nach dem erfindungsgemäßen Verfahren hergestellte Struktur auch auf andere Schichten übertragbar, so kann zum Beispiel eine dünne Oxidschicht auf die zackenförmige Struktur aufgebracht werden, die der Kontur der Oberflächenstruktur auf dem Silizium folgt.

[0078] Die Gräben können alternativ mit Oxid gefüllt werden und falls gewünscht ebenfalls planarisiert werden. Das Aufbringen einer Siliziumdioxidschicht kann mittels für die jeweils gewünschte Dicke und Struktur geeigneter Verfahren hergestellt werden, so etwa mittels thermischer Oxidation (z. B. trocken, nass, H_2O_2 -Verbrennung) oder durch Oxidabscheidung (z. B. Silanpyrolyse oder TEOS-Prozess).

[0079] Durch die Kombination der strukturierten Siliziumoberfläche mit einer Oxidschicht, für deren Struktur wieder eine ganze Zahl von Variationen möglich ist, ergeben sich eine große Zahl von Anwendungen und auch wiederum Möglichkeiten zur weiteren Strukturierung.

[0080] So kann eine dicke, die Gräben füllende und Zacken einschließende Oxidschicht auf die zackenförmige Struktur aufgebracht werden und anschließend mittels eines Planarisierungsverfahrens wieder zurückgenommen werden

in einer Weise, dass die am weitesten aus der Oberfläche herausstehenden Zacken aus Silizium freigelegt werden. Bei dieser Ausgestaltung der Erfindung sind vorzugsweise Stützstrukturen für das CMP vorgesehen.

[0081] Diese Struktur kann dann in speziellen Anwendungen z. B. als Leiterbahnen an der Oberfläche oder aber als Ausgangspunkt weiterer Prozessschritte verwendet werden.

[0082] Erfolgt die Planarisierung ohne die Siliziumzacken freizulegen, wird ebenfalls eine für viele Applikationen interessante Struktur ausgebildet.

[0083] Wird durch Aufbringung einer dicken ersten Oxidschicht, Planarisierung und Aufbringung einer zweiten, dünnen Oxidschicht auf den planarisierten Siliziumzacken und der ersten Oxidschicht aufgebracht, resultiert ein regelmäßiges Muster aus alternierend flachen und tiefen Bereichen im Silizium und dementsprechend dickeren und dünneren Oxidbereichen. Diese Strukturen sind zum Beispiel für den Einsatz in Transistoren interessant. Die so ausgebildete Struktur wird dann mit den anderen, für die Funktion der Transistoren notwendigen Elementen (Source-Bereich, Drain-Bereich, Gate-Bereich, Elektrodenanschlüsse, etc.) ergänzt.

[0084] Wird ein Standard-MOSFET also mit Linien von gedünnten Oxidbereichen versehen, so können durch die durch diese Struktur auftretenden physikalischen Phänomene vorteilhaft genutzt werden. An den gedünnten Stellen stellt sich eine Inversion früher, d. h. bei einem geringeren anliegenden elektrischen Feld, ein.

[0085] Verlaufen die Linien des gedünnten Gateoxids senkrecht zur Source-/Drain-Achse, so nehmen diese Linien eine quer zum Stromfluss durch den Kanalbereich liegende Richtung ein.

[0086] So ergeben sich Stufen in der Transferkennlinie, die zum Beispiel für Multi-Level-Anwendungen des Transistors vorteilhaft verwendet werden können.

[0087] Kontaktiert man die quer-verlaufenden Kanäle, so kann der Transistor als Analog/Digital-Wandler benutzt werden.

[0088] Verlaufen die Linien des gedünnten Gateoxids des Transistors zum Beispiel parallel zur Source-/Drain-Achse, so ist zu beobachten, dass die Anreicherung der Ladungsträger weiter entfernt von der Oberfläche erfolgt, was die Beweglichkeit der Ladungsträger aufgrund der geringeren Streuung an der Oberfläche erhöht.

[0089] Die Transistoren mit einer derartigen Anordnung der Linien lokal gedünntem Gateoxids können ferner so ausgebildet werden, dass an beiden Seiten des Kanals (A und B) elektrische Kontakte vorgesehen sind. Werden die eindimensionalen Strukturen (Linien) durch die Gatespannung invertiert, so entstehen dort eindimensionale Leiter, die einen quantisierten Ladungstransport aufweisen. In Abhängigkeit von der Zahl der invertierten Strukturen kann der Widerstand zwischen den beiden Seiten des Kanals (A und B) stufenweise verändert werden, was für den Einsatz als Analog-Digital-Wandler nutzbar ist.

[0090] Im Zusammenhang mit der thermischen Oxidation ergibt sich, wiederum bedingt durch die besonderen kristallographischen Eigenschaften des Siliziums, eine Besonderheit.

[0091] Dadurch, dass die Kanten durch die Kristallflächen definiert werden, erfolgt eine thermische Oxidation, bei der Silizium an der Strukturoberfläche durch die Reaktion mit dem Sauerstoff verbraucht wird und die Siliziumdioxid in die Oberfläche hineinwächst, an allen Kanten gleich und erlaubt somit genau definiertes, homogenes Wachstum der Oxidschicht. Bei der Oxidation der Gräben ist zu beachten, dass in den konkaven Bereichen an der Siliziumoberfläche im Laufe der Oxidation eine Druckbelastung der Kristall-

struktur entsteht, welche die weitere Ausbildung der Oxidschicht hemmt und somit zu lokaler Dünnung in diesen Bereichen, d. h. im Bereich des Schnittpunkts der Kanten mit dem planaren Grabenhoden, oder aber auch bei Ausbildung der vollständigen V-Form des Grabens zu lokaler Dünnung im Bereich der Spitze des V's führt.

[0092] Die Zackenstruktur wird gemäß dem Verfahren zur Herstellung einer Zackenstruktur bevorzugt in Silizium hergestellt. Für das Verfahren zur Herstellung einer Transistoranordnung ist die Ausbildung einer großen Zahl von äquidistanten Zacken bevorzugt, die mittels geeigneter Wahl des Musters der Maske und einer mehrmaligen Wiederholung von Planarisierungs- und erneuten Ätzschritten oder aber Wiederholung von Mask-Pullback und Ätzschritten realisiert werden kann. Darüber hinaus ist für die gewünschte Transistoranordnung die V-Form der erzeugten Gräben bevorzugt, so dass eine Sägezahnform der Oberfläche vorliegt. Auf die strukturierte Siliziumoberfläche wird eine elektrisch isolierende Schicht aufgebracht.

[0093] Bevorzugt ist diese elektrisch isolierende Schicht eine Siliziumdioxidschicht. Das Aufbringen der Siliziumdioxidschicht kann mittels thermischer Oxidation oder mittels Oxidabscheidung erfolgen.

[0094] Vorzugsweise wird eine dünne Oxidschicht durch thermische Oxidation ausgebildet, wobei sich im Bereich der oben genannten konkaven Bereiche eine lokale Dünnung des Siliziumdioxids einstellt. Durch Verwendung einer dünnen Siliziumdioxidschicht bleibt die Zackenstruktur an der Oberfläche erhalten. Auf der Siliziumdioxidschicht wird ein Floating Gate, das beispielsweise aus Poly-Silizium besteht, derart ausgebildet, dass sich eine zur Zackenstruktur der Siliziumoberfläche inverse Zackenstruktur ausbildet, so dass die durch das Floating Gate ausgebildeten Zacken in die durch die Siliziumoberfläche gebildeten Zacken eingreifen. Die von der Siliziumoberfläche abgewandte Fläche, d. h. die Oberseite des Floating Gates kann entweder planar oder ebenfalls gezackt ausgebildet sein. Auf dem Floating Gate wird eine zweite elektrisch isolierende Schicht aufgebracht, die sich der Struktur des Floating Gates anpasst. Auf der zweiten elektrisch isolierenden Struktur wird ein Control Gate aufgebracht, das der Struktur der zweiten isolierenden Schicht und der Oberfläche des Floating Gates gemäß planar oder ebenfalls Zacken aufweisend ausgebildet sein kann. Ist die Zackenstruktur durch alle dieser Schichten hindurch fortgesetzt, so ist zu bemerken, dass von der Siliziumoberfläche ausgehend die Zackenstruktur in der Regel mit jeder Schicht infolge des Aufbringens weiterer Schichten immer weniger ausgeprägt, d. h. flacher wird. Die weiteren zur Fertigung des Transistors notwendigen Schritte, z. B. Ausbildung des Source- und Drain-Bereichs mittels gewünschter Dotierung der Bereiche mit Dotierungsatomen erfolgen mit Hilfe von Standardverfahren, beispielsweise mittels Implantation der Dotierungsatome. Auch das Aufbringen der oben beschriebenen Schichtenfolge (Floating Gate, zweites Dielektrikum, Control Gate) erfolgt ebenfalls unter Verwendung bekannter Verfahren.

[0095] Bei dem erfindungsgemäßen Transistor ist die auf der zackenförmigen Substratoberfläche angeordnete erste Oxidschicht vorgesehen, deren Struktur der Zackenstruktur der Substratoberfläche folgt und bei der sowohl Unter- wie Oberseite des Tunneloxids die gleiche Zackenkontur aufweisen wie das Substrat. Das auf dem Tunneloxid angeordnete Floating Gate weist eine Struktur auf, welche der Kontur des Tunneloxids folgt und somit Zacken ausbildet, die invers zu den vom Substrat gebildeten Zacken angeordnet sind.

[0096] Vorzugsweise weist der Transistor auf: einen Substratbereich, in dem nebeneinander ein implantierter

Source-Bereich, ein implantierter Drain-Bereich und dazwischen ein Kanalbereich angeordnet sind, eine Schichtenfolge aus Dielektrikum, Floating Gate, zweitem Dielektrikum und Control-Gate, die in vertikaler Schichtung zumindest über dem Kanalbereich und optional teilweise über den implantierten Bereiche an der Oberfläche des Substrates diese teilweise überdeckend angeordnet sind. Die Grenzschicht zwischen dem Siliziumsubstrat und dem Tunneloxid ist zackenförmig ausgebildet, wobei das Zackenmuster in der Richtung senkrecht oder parallel zur Linie Source-Drain ausgebildet sein kann. Die sich an das Substrat anschließende Tunneloxid-Schicht ist an die Zackenstruktur in Form einer dünnen Schicht angepasst, wobei die Oxidschicht an den konkaven und konvexen Kantenbereichen lokale Dünnungen aufweist.

[0097] Die Struktur des Floating Gates folgt der Kontur des Tunneloxids und bildet somit invers zur Siliziumkanalstruktur Kanten aus, wodurch die Zacken des Floating Gates in die Zacken der Silizium- bzw. Siliziumdioxidschicht eingreifen und wobei die an das zweite Dielektrikum grenzende Oberfläche des Floating Gates die gleiche Kontur aufweist wie die an das Tunneloxid angrenzende Oberfläche. Die sich daran anschließende dünne Schicht des zweiten Dielektrikums folgt der Kontur des Floating Gates, wobei die Kantenstruktur des Floating Gates an der Grenzfläche zum zweiten Dielektrikum in der Regel herstellungsbedingt flacher ausgebildet ist als die Kantenstruktur an der Grenzfläche Substrat-Tunneloxid.

[0098] Folglich ist auch die Kantenstruktur der sich an das zweite Dielektrikum anschließenden Control-Gate-Schicht flacher. Die Oberseite des Floating Gates und die darauf ausgebildete zweite dielektrische Schicht sowie das Control Gate können auch planar ausgestaltet sein.

[0099] Ein erheblicher Vorteil des erfindungsgemäßen Transistors beruht darauf, dass die lokale Feldstärke an der geladenen Oberfläche eines Leiters von der Krümmung der Oberfläche abhängt, wobei konvexe Flächen (insbesondere Spitzen) zu einer Felderhöhung verglichen mit planaren Geometrien führen. Die effektive Dicke der Tunnelbarriere ist im Fall gekrümmter Oberflächen infolge des entsprechend vorteilhaft veränderten Potentialverlaufs deutlich reduziert und resultiert in höherer Tunnelwahrscheinlichkeit und damit größeren Programmierströmen.

[0100] Erfindungsgemäß ist die Ausbildung der Kantenstruktur dabei nicht nur im Kanalbereich des Substrats vorgesehen, sondern ebenso an den sich anschließenden Grenzflächen der vertikal über dem Kanal angeordneten Komponenten.

[0101] Für die Speicherzelle ist somit von besonderem Vorteil, dass sowohl das durch Tunneln verursachte Einbringen von Ladungsträgern als auch das auf dem gleichen Mechanismus beruhende Entleeren des Speichers durch die Ausbildung der Kantenstruktur erleichtert wird.

[0102] Zusätzlich zu der Felderhöhung durch die Spitzen weist das Tunneloxid eine lokale Dünnung an den konvexen und konkaven Kanten auf, was die Tunnelwahrscheinlichkeit von Elektronen bei entsprechend angelegter elektrischer Spannung in das Floating Gate und aus dem Floating Gate heraus erhöht und somit Tunneln bei geringerer Spannung als im Fall ungedünnter Bereiche ermöglicht.

[0103] Damit weist die Erfindung verglichen mit den bekannten Transistoren eine Reihe von Vorteilen auf.

[0104] Im Vergleich zu den in [1] beschriebenen SST-Zellen und auch verglichen mit der in [2] beschriebenen Anordnung weist die erfindungsgemäße Speicherzellenstruktur sowohl Spitzen im Kanalgebiet des Substrats (insbesondere Mono-Si) wie auch im Floating Gate auf, was den auf Fowler-Nordheim-Tunneln basierenden Ladungstransport in

beiden Richtungen, d. h. beim Lesen und beim Schreiben der Speicherzelle erleichtert.

[0105] Im Vergleich mit der in [2] beschriebenen Anordnung ist ferner das wesentlich einfachere Herstellungsverfahren vorteilhaft.

[0106] Ferner erlaubt die zur Herstellung dieser Kantenstrukturen entwickelte Technik sublithographische Kantenstrukturen, wodurch Zellengrößen im Pitch der maximal erreichbaren lithographischen Auflösung ermöglicht werden. Als Alternative zur Verwendung geringerer Spannungen ist auch die Verwendung eines dickeren Tunneloxids unter Beibehaltung der gemäß dem Stand der Technik erforderlichen hohen Spannung möglich, was sich vorteilhaft in einer Reduzierung der Defekte im Oxid und daraus folgenden Mängeln in der Isolation des Floating Gates auswirkt. Dadurch würde ein robusteres Speichern von Daten ermöglicht und die Ausbeute infolge einer verringerten Zahl von Oxiddefekten erhöht.

[0107] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert. Gleiche Elemente sind in den Figuren mit identischen Bezugszeichen versehen.

[0108] Es zeigen

[0109] Fig. 1 eine Siliziumoberfläche zu einem ersten Zeitpunkt des Verfahrens gemäß einem ersten Ausführungsbeispiel der Erfindung;

[0110] Fig. 2 eine Siliziumoberfläche mit Photoresistmaske zu einem zweiten Zeitpunkt des Verfahrens gemäß dem ersten Ausführungsbeispiel der Erfindung;

[0111] Fig. 3 eine Siliziumoberfläche mit Photoresistmaske und anisotrop geätzten Gräben zu einem dritten Zeitpunkt des Verfahrens gemäß dem ersten Ausführungsbeispiel der Erfindung;

[0112] Fig. 4 eine strukturierte Siliziumoberfläche nach Entfernen der Photoresistmaske und erfolgtem zweiten anisotropen Ätzschritt zu einem vierten Zeitpunkt des Verfahrens gemäß dem ersten Ausführungsbeispiel der Erfindung;

[0113] Fig. 5 eine strukturierte Siliziumoberfläche nach erfolgter thermischer Oxidation gemäß einem zweiten Ausführungsbeispiel der Erfindung;

[0114] Fig. 6 eine strukturierte Siliziumoberfläche nach erfolgtem Aufbringen einer dicken Siliziumdioxidschicht, Planarisieren und Durchführen eines erneuten Oxidationschrittes gemäß einem dritten Ausführungsbeispiel der Erfindung;

[0115] Fig. 7 eine Siliziumoberfläche mit einer mit Hilfe einer Phasen-Maske strukturierten Photoresistschicht zu einem ersten Zeitpunkt des Verfahrens gemäß einem vierten Ausführungsbeispiel der Erfindung;

[0116] Fig. 8 eine Siliziumoberfläche nach einem anisotropen Ätzschritt und nach durchgeführtem Mask Pullback zu einem zweiten Zeitpunkt des Verfahrens gemäß einem vierten Ausführungsbeispiel der Erfindung;

[0117] Fig. 9 eine strukturierte Siliziumoberfläche nach einem weiteren anisotropen Ätzschritt zu einem dritten Zeitpunkt des Verfahrens gemäß dem vierten Ausführungsbeispiel der Erfindung;

[0118] Fig. 10 eine strukturierte Siliziumoberfläche nach Entfernen der Maske zu einem vierten Zeitpunkt des Verfahrens gemäß dem vierten Ausführungsbeispiel der Erfindung;

[0119] Fig. 11 einen Querschnitt durch einen Floating Gate-Transistor gemäß einem Ausführungsbeispiel der Erfindung;

[0120] Fig. 12 eine Draufsicht auf einen Transistor gemäß einem Ausführungsbeispiel der Erfindung, bei dem die Linien des gedünnten Gateoxids des Transistors parallel zur Source-/Drain-Achse verlaufen;

[0121] Fig. 13 eine Draufsicht auf einen Transistor gemäß

einem Ausführungsbeispiel der Erfindung, bei dem die Linien des gedünnten Gateoxids des Transistors senkrecht zur Source-/Drain-Achse verlaufen; und

[0122] Fig. 14 eine Draufsicht auf einen Transistor gemäß einem Ausführungsbeispiel der Erfindung, bei dem die Linien des gedünnten Gateoxids des Transistors senkrecht zur Source-/Drain-Achse verlaufen, wobei elektrische Anschlüsse an die Linien des gedünnten Gateoxids angeschlossen sind.

[0123] Ausgangspunkt des Verfahrens ist ein Silizium-Wafer 100 mit einer planaren Siliziumoberfläche, die gemäß den Millerschen Indizes eine $\langle 100 \rangle$ -Orientierung des Silizium-Kristalls aufweist (vgl. Fig. 1).

[0124] Gemäß einem ersten Ausführungsbeispiel der Erfindung wird die Siliziumoberfläche homogen mit einer Photoresistschicht bedeckt und mit Hilfe von Standard-Lithographie wird eine strukturierte Photoresistschicht als Maske 101 erzeugt (vgl. Fig. 2).

[0125] Die erzeugte Maske 101 weist, wie in Fig. 2 dargestellt, drei parallel angeordnete Linien mit einer Breite F , die der maximalen lithographischen Auflösung des verwendeten Lithographischen Verfahrens entspricht (Minimum Feature Size) und einer Länge L (mit $L > F$) auf, wobei der Abstand der Linien, d. h. die Breite der Maskenlinie, ebenfalls eine der Auflösung F entsprechende Ausdehnung aufweist.

[0126] Es folgt ein Nassätzschritt, wobei das Silizium anisotrop, d. h. in Abhängigkeit von der Kristallrichtung, geätzt wird. Als Ätzlösung wird gemäß diesem Ausführungsbeispiel eine Ammoniumhydroxid(NH_4OH)-Lösung verwendet, da es sich in diesem Fall um einen Front-End-Prozess z. B. zum Herstellen eines Transistors handelt und die verwendeten Ionen nur sehr langsam in das Substrat diffundieren und dadurch eine Kontamination vernachlässigbar gering gehalten wird.

[0127] Durch den anisotropen Ätzvorgang entstehen bei der gewählten $\langle 100 \rangle$ -Orientierung des Silizium-Kristalls 100 V-förmige erste Gräben 102 (vgl. Fig. 3).

[0128] Gemäß diesem Ausführungsbeispiel wird der Ätzvorgang vor Ausbildung der vollständigen V-Form der ersten Gräben 102 abgebrochen, d. h. es entstehen erste Gräben 102 mit einer planaren und parallel zur unstrukturierten Siliziumoberfläche verlaufenden Fläche und zwei Seitenkanten, die einen Winkel α von $125,26^\circ$ zur Oberfläche am Boden des jeweiligen ersten Grabens 102 aufweisen, d. h. die auf die beschriebene Weise hergestellten ersten Gräben 102 weisen eine im Wesentlichen trapezoidale Form auf.

[0129] Die Öffnung des ersten Grabens 102, d. h. die längere der beiden parallelen Seiten im Trapez, wird im Folgenden mit "O" bezeichnet (vgl. Fig. 4).

[0130] Die Ätztiefe in dem ersten Ätzschritt, d. h. der Abstand des Grabenbodens von der Grabenöffnung, ist im Folgenden mit "S" bezeichnet.

[0131] Zur einfacheren Darstellung der Erfindung wird gemäß diesem Ausführungsbeispiel eine etwaige Unterätzung der Maske 101 vernachlässigt, d. h. die Öffnung O des jeweiligen ersten Grabens 102 an der durch die Substratoberfläche definierten Ebene weist eine Breite F auf und die ersten Gräben 102 sind in einem Abstand F parallel zueinander angeordnet.

[0132] Zwischen den Gräben entstehen Stege, deren Breite in Höhe der Siliziumoberfläche durch die Breite der Maskenlinie, d. h. maximalen Auflösung F des eingesetzten Lithographie-Verfahrens, definiert ist.

[0133] In einem anschließenden Schritt wird die zur Maskierung verwendete Photoresistschicht 101 entfernt. Danach schließt sich ein weiterer anisotroper Ätzschritt mit Ammoniumhydroxid an, wobei sowohl die bereits gebildeten ersten Gräben 102 als auch die zuvor maskierte und nunmehr

freigelegte Silizium-Substratoberfläche geätzt werden.

[0134] Die aus dem zweiten Ätzschritt resultierende Struktur ist in Fig. 4 dargestellt.

[0135] Der zuvor maskierte Bereich der Siliziumoberfläche wird nun ebenfalls geätzt, wobei sich durch die Kristallorientierung an jeweils beiden Seiten der bereits vorhandenen ersten Gräben 102 Zacken Z ausbilden.

[0136] Die Form der Zacken Z ist durch die Orientierung der $\langle 111 \rangle$ -Ebenen zueinander definiert, d. h. der Winkel an der Spitze eines Zackens Z beträgt etwa 71° .

[0137] Die bereits vorhandenen ersten Gräben 102 sind tiefer geätzt als vor Durchführung des zweiten Ätzverfahrens (mit Hinblick auf die Spitzen der nun ausgebildeten Zacken), und die erweiterte Öffnung O' der ersten Gräben 102 ist nunmehr breiter als F.

[0138] Die Breite F tritt nun an einer Stelle des Trapezes auf, die um einen Wert "I" parallel zur erweiterten Öffnung O' des jeweiligen ersten Grabens 102 und parallel zu der durch die Siliziumoberfläche definierten Ebene verschoben ist.

[0139] Mit "I" wird somit die Ätztiefe in dem zuletzt erfolgten zweiten Ätzschritt bezeichnet, d. h. I entspricht der linearen Dimension an Silizium (senkrecht zur durch die Siliziumoberfläche definierten Ebene), die von der Siliziumoberfläche durch den betreffenden zweiten Ätzvorgang abgetragen wurde.

[0140] Anschließend wird der Ätzvorgang wiederum vor vollständiger Ausbildung der V-Form abgebrochen, so dass auch die in die Stege geätzten zweiten Gräben 202 eine trapezoidale Form aufweisen.

[0141] Die in die Stege geätzten zweiten Gräben 202 weisen jedoch eine Breite der Öffnung O" auf, die kleiner ist als die maximale Auflösung F des verwendeten Lithographie-Verfahrens. Anders ausgedrückt weist die Siliziumstruktur fünf Gräben 102, 202 auf, wobei die drei im ersten lithographischen Schritt hergestellten ersten Gräben 102 tiefer in das Substrat 100 geätzt sind als die im zweiten Ätzschritt ausgebildeten zweiten Gräben 202, die zwischen den im ersten Ätzschritt ausgebildeten ersten Gräben 102 angeordnet sind, wobei die Kanten der trapezoidalen Gräben so zueinander angeordnet sind, dass sie die Zacken Z ausbilden.

[0142] Die Spitzen der Zacken Z stellen die höchsten Erhebungen auf der Siliziumoberfläche des betrachteten Ausschnitts dar. Dies resultiert daraus, dass jeweils die beiden die Abmessungen des Steges definierenden ersten Gräben 102 sowohl in die Breite als auch in die Tiefe weitergeätzt werden, wodurch die Breite des Steges und folglich die Breite des darauf ausgebildeten zweiten Grabens 202 abnimmt. Somit entsteht nicht nur ein sublithographischer Graben, d. h. ein Graben, dessen größte Dimension, nämlich die Öffnung an dessen offener Oberfläche, kleiner ist als sie durch das eingesetzte Lithographie-Verfahren an sich definierbar wäre, sondern es entstehen auch pro Einheit F zwei Spitzen.

[0143] In in Fig. 4 dargestellten Beispiel entstehen dementsprechend mit Hilfe dreier lithographisch erzeugter erster Gräben 102 eine Struktur, die nach Entfernen der Maske 101 und einem weiteren Ätzschritt fünf Gräben 102, 202 und sechs Spitzen Z beziehungsweise Zacken Z aufweist.

[0144] Die in dem zweiten Ätzschritt ausgebildeten zweiten Gräben 202 und Zacken Z weisen dabei sublithographische Dimensionen auf.

[0145] Der Abstand von Grabenmitte zur Grabenmitte der benachbarten Struktur ist unmittelbar nach Durchführen des ersten Lithographieschrittes auf $2 \cdot F$ begrenzt. Mit Hilfe des erfindungsgemäßen Verfahrens lassen sich jedoch Gräben 202 erzeugen, deren Mitten nur durch einen Abstand F und weniger voneinander entfernt sind.

[0146] Typischerweise haben die Zacken Z eine Ausdehnung von etwa 20 nm an der Basis des durch die Zacken Z gebildeten Dreiecks, wobei bei deren Herstellung Ätzraten im Bereich von einigen 10 nm/min verwendet werden.

[0147] Gemäß einem zweiten Ausführungsbeispiel (vgl. Fig. 5) wird die in dem ersten Ausführungsbeispiel erzeugte zackenförmige Struktur thermisch oxidiert. Da die Kanten durch die Kristallorientierung definiert werden, haben alle Kanten eine gleiche, exakt definierte $\langle 111 \rangle$ Oberfläche.

[0148] Damit ist auch die Dichte von Atomen an allen Kanten gleich und somit erfolgt die thermische Oxidation, die eine Reaktion des Substrats mit Sauerstoff darstellt, wobei Substratmaterial verbraucht wird, an allen Kanten homogen. Die Böden der Gräben weisen eine dickere, die Spitzen der Zacken eine dünnere Oxidschicht auf. Durch bei der Oxidation entstehende Druckbelastung der Kristallstruktur im konvexen Kantenbereich, d. h. im Bereich des Winkels zwischen Grabenboden und Kante, weist das dort ausgebildete Siliziumdioxid eine lokale Dünning 203 auf. Die durch die thermische Oxidation ausgebildete Siliziumdioxidschicht 103 ist ausreichend dünn und folgt entsprechend der Kontur der Siliziumoberfläche, so dass die durch das erfindungsgemäße Verfahren ausgebildete Strukturierung der Siliziumoberfläche auch auf andere Schichten, in diesem Fall die Siliziumdioxidschicht 103 übertragbar ist.

[0149] Gemäß einem dritten Ausführungsbeispiel (vgl. Fig. 6) wird auf die in dem ersten Ausführungsbeispiel erzeugte zackenförmige Struktur mittels Silanpyrolyse eine erste Siliziumdioxidschicht 104 derart abgeschieden, dass die Gräben 102, 202 vollständig mit Siliziumdioxid gefüllt sind.

[0150] Anschließend erfolgt mittels chemisch-mechanischem Polierens (CMP) eine Planarisierung, die derart ausgeführt wird, dass die erste Siliziumdioxidschicht 104 so weit abgetragen wird, dass die die Gräben trennenden Zacken Z freigelegt, d. h. an der Oberfläche von der Oxidschicht befreit und teilweise planarisiert werden, ohne jedoch mit den beiden flacheren zweiten Gräben 202 auf eine Ebene gebracht zu werden.

[0151] Dementsprechend stellen die Oberflächen der planarisierten Zacken Z nach wie vor die höchsten aus Silizium bestehenden Erhebungen auf dem Siliziumsubstrat 100 dar.

[0152] Der mittels CMP erfolgte Planarisierungsschritt weist eine Genauigkeit der Materialabtragung von einigen wenigen Nanometern auf. Nach erfolgter Planarisierung liegt also eine plane Oberfläche vor, die aus einer Siliziumdioxidschicht 104 besteht, die durch die freigelegten Oberflächen der Erhebungen der Siliziumstruktur unterbrochen wird. Daran schließt sich ein erneuter Schritt der Oxidauflösung an, womit eine dünne zweite Siliziumdioxidschicht 105 ausgebildet wird.

[0153] Die auf solche Weise ausgebildete Oberfläche besteht nun ausschließlich aus Siliziumdioxid, ist aber dadurch gekennzeichnet, dass durch die Siliziumstruktur die Dicke der zweite Siliziumdioxidschicht 105 an verschiedenen Stellen der Struktur unterschiedlich ist. Anders ausgedrückt ist die Oxidschicht über den drei tieferen, im ersten Ätzvorgang ausgebildeten Gräben am dicksten und über den abgeflachten Zacken Z, den höchsten Erhebungen an der Siliziumoberfläche, am dünnsten.

[0154] Gemäß einem vierten Ausführungsbeispiel wird auf eine $\langle 100 \rangle$ -Siliziumoberfläche 100' eine Maskierschicht 101' aufgebracht und mit Hilfe einer Phasen-Maske, symbolisiert mit einem Doppelpfeil P, strukturiert. In diesem Ausführungsbeispiel wird eine einzige Linie in der Maskierschicht 101' erzeugt (vgl. Fig. 7).

[0155] Es folgt ein anisotroper Ätzschritt unter Verwendung von Ammoniumhydroxid, wodurch ein trapezoidaler

erster Graben 102' ausgebildet wird. Mit Hilfe eines Mask Pullback-Verfahrens, d. h. im Falle einer Nitridschicht mittels isotroper Ätzung mit Phosphorsäure oder im Fall einer Photoresistmaske Ätzung im Sauerstoffplasma, wird ein relativ kleiner Bereich der an den Graben angrenzenden Siliziumoberfläche freigelegt (vgl. Fig. 8).

[0156] Anschließend wird ein zweiter anisotroper Ätzschritt durchgeführt, wodurch zwei weitere trapezoidale zweite Gräben 202', je einer auf einer der beiden Seiten des ersten Grabens 102', und zwei Zacken Z'' ausgebildet werden. Die beiden zweiten Gräben 202' weisen eine geringere Tiefe auf als der im ersten Ätzschritt ausgebildete erste Graben 102' (vgl. Fig. 9).

[0157] Mit diesem Verfahren können an der Basis 5 nm breite Spitzen Z'' erzeugt werden. Die Abmessungen der Spitzen Z'' hängen im Wesentlichen von der Präzision des eingesetzten Mask-Pullbacks ab.

[0158] Die Tiefe der zu unterschiedlichen Zeitpunkten im Verfahren ausgebildeten Gräben variiert um etwa 3 bis 5 nm, wobei die Tiefe offensichtlich mit der Zahl der Ätzschritte, die ein Graben erfahren hat, zunimmt. Nach Entfernen der Maskierschicht 101' wird ein weiterer anisotroper Ätzschritt durchgeführt, wobei an den Grenzen zu der zuvor maskierten Siliziumoberfläche, von der eine Schicht anisotrop abgetragen wurde, weitere Zacken Z''' ausgebildet werden (vgl. Fig. 10).

[0159] Somit weist die Siliziumoberfläche drei Gräben 102', 201' von trapezoidaler Form auf sowie vier Zacken Z'', Z''', von welchen zwei an der Grenze zwischen den Gräben 102', 202' und zwei an der Grenze zur Siliziumoberfläche angeordnet sind. Die Zacken Z'', Z''' stellen die höchste Erhebung auf der Siliziumoberfläche dar.

[0160] In Fig. 11 ist ein Querschnitt durch einen Floating Gate Transistor 1100 gemäß einem bevorzugten Ausführungsbeispiel der Erfindung dargestellt.

[0161] Der Querschnitt durch den Floating Gate Transistor 1100 verläuft senkrecht zur Source-Drain-Achse.

[0162] Es ist ein Siliziumsubstrat 111 dargestellt, das über dem Kanalbereich 1101 eine zackenförmige Oberfläche aufweist. Auf der zackenförmigen Oberfläche ist eine dünne erste Siliziumdioxidschicht 106 aufgebracht, die der Zackenstruktur der Siliziumoberfläche 111 angepasst ist.

[0163] Auf der Siliziumdioxidschicht 106 ist ein Floating Gate 107 aus Poly-Silizium angeordnet, d. h. aufgebracht, das eine zur Siliziumoberfläche inverse Zackenstruktur aufweist und dessen Zacken 1102 somit in die durch die Siliziumoberfläche gebildeten und auf die Oxidschicht übertragenen Zacken 1102 eingreift.

[0164] Die Oberseite des Floating Gates 107 weist ebenfalls eine Zackenkontur auf, wobei die Zacken 1103 zwar parallel zu den Zacken 1102 auf der Unterseite angeordnet, aber flacher ausgebildet sind.

[0165] Auf dem Floating Gate 107 ist eine dünne zweite Siliziumdioxidschicht 108 angeordnet, die der Zackenstruktur der Oberseite des Floating Gates 107 angepasst ist, wodurch die Kontur der Zacken erhalten bleibt.

[0166] Auf der zweiten Siliziumdioxidschicht 108 ist ein Control Gate 109 angeordnet, dessen Unterseite eine zur Oxidschicht 108 auf der Oberseite des Floating Gates 107 inverse Zackenstruktur aufweist, wobei die Zacken des Control Gate 109 in die durch die Oberseite des Floating Gates 107 und die zweite Siliziumdioxidschicht 108 darauf gebildeten Zacken eingreifen.

[0167] Die Oberseite des Control Gate 109 ist eben ausgebildet.

[0168] Ebenfalls in Fig. 11 dargestellt ist die STI-Isolation 110 (Shallow Trench Isolation), die von der rechten und linken Seite her an den Kanalbereich des Siliziumsubstrats und

die Schichtenfolge aus erster Oxidschicht, Floating Gate, zweiter Oxidschicht und Control Gate grenzt und eine elektrische Isolation zu den benachbarten Bauelementen hin gewährleistet. Die ebenfalls in dem Floating Gate Transistor 1100 vorhandenen Source-/Drain-Bereiche sind in Fig. 11 nicht dargestellt.

[0169] Fig. 12 zeigt eine Draufsicht auf einen Floating Gate-Transistor 1200 mit einem ersten Source-/Drain-Bereich 1201, einem zweiten Source-/Drain-Bereich 1202 sowie einem Gate-Bereich 1203. Bei dem Floating Gate-Transistor 1200 verlaufen die Linien 1204 des gedünnten Gateoxids des Transistors 1200 parallel zur Source-/Drain-Achse 1205.

[0170] Fig. 13 zeigt eine Draufsicht auf einen Floating Gate-Transistor 1300 gemäß einem weiteren Ausführungsbeispiel der Erfindung mit einem ersten Source-/Drain-Bereich 1301, einem zweiten Source-/Drain-Bereich 1302 sowie einem Gate-Bereich 1303. Bei dem Floating Gate-Transistor 1300 verlaufen die Linien 1304 des gedünnten Gateoxids des Transistors 1300 senkrecht zur Source-/Drain-Achse 1305.

[0171] Fig. 14 zeigt eine Draufsicht auf den Floating Gate-Transistor 1300 gemäß Fig. 13, jedoch ergänzt um elektrische Anschlüsse 1401, 1402 an den beiden Seiten des Kanals. Werden die eindimensionalen Strukturen (Linien) invertiert, so entstehen dort eindimensionale Leiter, die einen quantisierten Ladungstransport aufweisen. In Abhängigkeit von der Zahl der invertierten Strukturen kann der Widerstand zwischen den beiden Seiten des Kanals stufenweise verändert werden, was für den Einsatz als Analog-Digital-Wandler nutzbar ist.

[0172] In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] SST Technical Paper, SuperFlash EEPROM Technology, Revised March 1999, erhältlich im Internet am 8. Oktober 2001 unter der Internet-Adresse:
<http://www.superflash.com>.

[2] US Patent 6.025.627

Bezugszeichenliste

- 100 Silizium-Wafer erstes Ausführungsbeispiel
- 101 Maske erstes Ausführungsbeispiel
- 102 Erster Graben erstes Ausführungsbeispiel
- 103 Durch thermische Oxidation ausgebildete Schicht erstes Ausführungsbeispiel
- 104 Erste Siliziumoxidschicht
- 105 Zweite Siliziumoxidschicht
- 106 Erste dünne Siliziumoxidschicht
- 107 Floating Gate
- 108 Zweite dünne Siliziumoxidschicht
- 109 Control Gate
- 110 STI-Isolation
- 202 Zweiter Graben
- 203 Lokale Dünung
- 1100 Floating Gate Transistor
- 1101 Kanalbereich
- 1102 Erste Zacken
- 1103 Zweite Zacken
- 1200 Floating Gate-Transistor
- 1201 Erster Source-/Drain-Bereich
- 1202 Zweiter Source-/Drain-Bereich
- 1203 Gate-Bereich
- 1204 Linien gedünntes Gateoxid Transistor
- 1205 Source-/Drain-Achse
- 1300 Floating Gate-Transistor
- 1301 Erster Source-/Drain-Bereich
- 1302 Zweiter Source-/Drain-Bereich

1303 Gate-Bereich
1304 Linien gedünntes Gateoxid Transistor
1305 Source-/Drain-Achse
1401 Elektrischer Anschluss
1402 Elektrischer Anschluss
100' Silizium-Wafer zweites Ausführungsbeispiel
101' Maske zweites Ausführungsbeispiel
102' Erster Graben zweites Ausführungsbeispiel
202' Zweiter Graben zweites Ausführungsbeispiel
Z Zacke
Z' Zacke
Z'' Zacke
Z''' Zacke
O Breite Öffnung erster Graben
O' Breite erweiterte Öffnung erster Graben
O'' Breite Öffnung zweiter Graben
S Tiefe erster Graben
T Tiefe zweiter Graben

Patentansprüche

1. Verfahren zum Herstellen einer zackenförmigen Struktur in einer Kristallstruktur in oder auf einem Substrat,
bei dem mindestens ein Graben unter Verwendung einer auf dem Substrat befindlichen Maske und einem ersten Ätzverfahren gebildet wird,
bei dem die Maske zumindest teilweise entfernt wird, und
bei dem der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats mittels eines zweiten Ätzverfahrens geätzt wird derart, dass die zackenförmige Struktur gebildet wird. 25
2. Verfahren nach Anspruch 1,
bei dem mittels der auf dem Substrat befindlichen Maske und dem Ätzverfahren mehrere Gräben gebildet werden, und
bei dem der unmaskierte, mehrere Gräben aufweisende Bereich des Substrats mittels des zweiten Ätzverfahrens geätzt wird derart, dass die zackenförmige Struktur gebildet wird. 30
3. Verfahren nach Anspruch 1 oder 2, bei dem die Kristallstruktur Silizium aufweist.
4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die durch Ätzen strukturierte Oberfläche der Kristallstruktur in dem Substrat gemäß den Millerschen Indizes eine $\langle 100 \rangle$ -Kristallorientierung aufweist. 45
5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem der mindestens eine Graben trapezoidal oder V-förmig ausgestaltet wird. 50
6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die Maske mittels Lithographie gebildet wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem das erste Ätzverfahren und/oder das zweite Ätzverfahren ein anisotropes Ätzverfahren sind/ist. 55
8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem das erste Ätzverfahren und/oder das zweite Ätzverfahren ein Nassätzverfahren sind/ist.
9. Verfahren nach einem der Ansprüche 2 bis 8, bei dem zumindest auf einem durch die Maske definierten Steg zwischen jeweils zwei im ersten Ätzverfahren erzeugten Gräben ein sublithographischer Graben gebildet wird, dessen Breite an seiner Oberseite geringer ist als mit dem verwendeten lithographischen Verfahren an sich erzeugbar. 60
10. Verfahren nach einem der Ansprüche 1 bis 9, bei dem zumindest ein Teil der Zacken einem chemisch mechanischen Polierverfahren unterzogen wird. 65

11. Verfahren nach Anspruch 10, bei dem mindestens ein weiteres Ätzverfahren durchgeführt wird und so eine weiter verfeinerte zackenförmige Struktur gebildet wird.
12. Verfahren nach einem der Ansprüche 3 bis 11, bei dem auf die zackenförmige Struktur eine Isolationsschicht aufgebracht wird.
13. Verfahren nach Anspruch 12, bei dem als Isolationsschicht auf die zackenförmige Struktur eine Siliziumdioxidschicht aufgebracht wird.
14. Verfahren nach Anspruch 13, bei dem die Siliziumdioxidschicht auf die zackenförmige Struktur abgeschieden wird.
15. Verfahren nach Anspruch 13, bei dem die Siliziumdioxidschicht auf der zackenförmigen Struktur mittels thermischer Oxidation gebildet wird.
16. Verfahren nach einem der Ansprüche 2 und 10 bis 15, bei dem die Breite der Maske zwischen den im ersten Ätzverfahren auszubildenden Gräben derart gewählt wird, dass bei Wiederholung der Ätzverfahren und der Planarisierungsschritte äquidistant zueinander angeordnete Spitzen der zackenförmigen Struktur gebildet werden.
17. Verfahren nach einem der Ansprüche 6 bis 16, bei dem die auf dem Substrat befindliche Maske unter Verwendung einer Phasen-Maske strukturiert wird.
18. Verfahren nach einem der Ansprüche 1 bis 17, bei dem der Teil der Maske unter Verwendung eines die Maske isotrop ätzenden Schrittes entfernt wird.
19. Verfahren zum Herstellen eines Transistors,
bei dem mindestens ein Graben mittels einer Maske, welche sich auf einer Kristallstruktur eines Substrats befindet, und mittels eines ersten Ätzverfahrens gebildet wird,
bei dem die Maske zumindest teilweise entfernt wird, bei dem der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats mittels eines zweiten Ätzverfahrens geätzt wird derart, dass eine zackenförmige Struktur gebildet wird,
bei dem auf die zackenförmige Struktur eine erste Isolationsschicht aufgebracht wird, welche zumindest einen zu bildenden Kanalbereich des Transistors bedeckt,
bei dem auf die erste Isolationsschicht eine Control Gate-Schicht aufgebracht wird, und
bei dem ein erster Source-/Drain Bereich und ein zweiter Source-/Drain Bereich gebildet werden.
20. Verfahren zum Herstellen eines Floating Gate-Transistors,
bei dem mindestens ein Graben mittels einer Maske, welche sich auf einer Kristallstruktur eines Substrats befindet, und mittels eines ersten Ätzverfahrens gebildet wird,
bei dem die Maske zumindest teilweise entfernt wird, bei dem der unmaskierte, mindestens einen Graben aufweisende Bereich des Substrats mittels eines zweiten Ätzverfahrens geätzt wird derart, dass eine zackenförmige Struktur gebildet wird,
bei dem auf die zackenförmige Struktur eine erste Isolationsschicht aufgebracht wird, welche zumindest einen zu bildenden Kanalbereich des Transistors bedeckt,
bei dem auf die erste Isolationsschicht eine Floating Gate-Schicht aufgebracht wird,
bei dem auf der Floating Gate-Schicht eine zweite Isolationsschicht aufgebracht wird,
bei dem auf der zweiten Isolationsschicht eine Control Gate-Schicht aufgebracht wird, und

bei dem ein erster Source-/Drain Bereich und ein zweiter Source-/Drain Bereich gebildet werden.

21. Transistor, aufweisend

eine Kristallstruktur in oder auf einem Substrat mit nebeneinander angeordnetem ersten Source-/Drain-Bereich, Kanalbereich und zweitem Source-/Drain-Bereich, wobei die Oberfläche der Kristallstruktur über dem Kanalbereich eine Zackenform aufweist,

eine auf zumindest dem Kanalbereich aufgebrachte erste Isolationsschicht,

eine auf die erste Isolationsschicht aufgebrachte Control Gate-Schicht.

22. Floating Gate-Transistor, aufweisend

eine Kristallstruktur in oder auf einem Substrat mit nebeneinander angeordnetem ersten Source-/Drain-Bereich, Kanalbereich und zweitem Source-/Drain-Bereich, wobei die Oberfläche der Kristallstruktur über dem Kanalbereich eine Zackenform aufweist,

eine auf zumindest dem Kanalbereich aufgebrachte erste Isolationsschicht,

eine auf die erste Isolationsschicht aufgebrachte Floating Gate-Schicht,

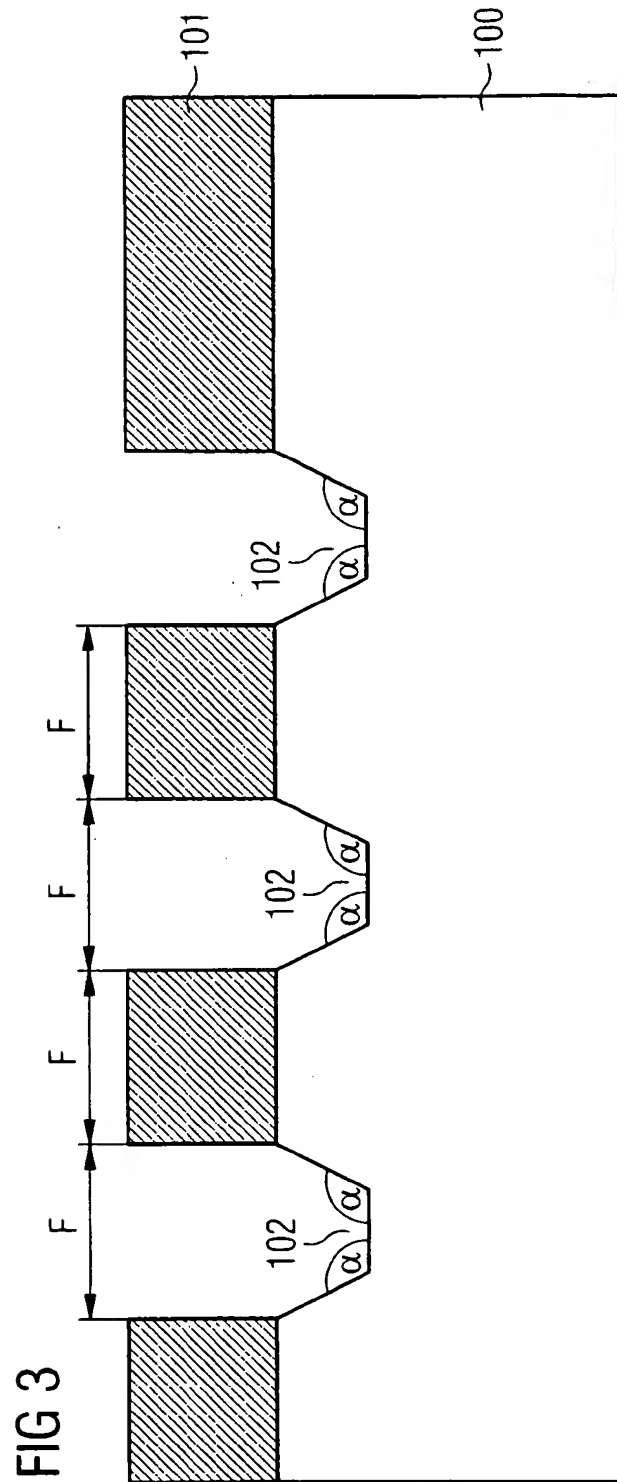
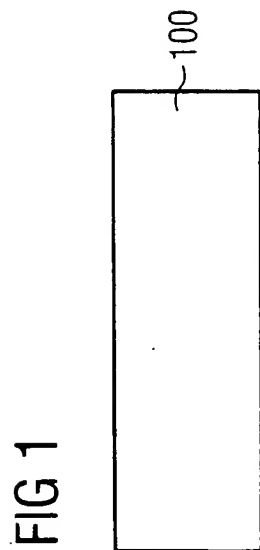
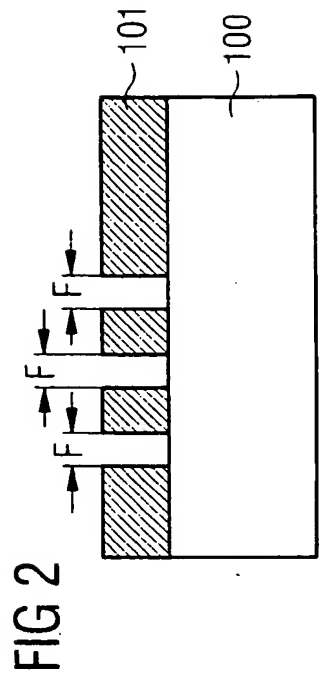
eine auf die Floating Gate-Schicht aufgebrachte zweite Isolationsschicht,

eine auf die zweite Isolationsschicht aufgebrachte Control Gate-Schicht.

23. Transistor gemäß Anspruch 21 oder 22, bei dem die erste Isolationsschicht in den konkaven Bereichen der zackenförmigen Struktur lokale Dünnungen aufweist.

24. Speicher-Anordnung mit mindestens einem Transistor gemäß einem der Ansprüche 21 bis 23.

Hierzu 6 Seite(n) Zeichnungen



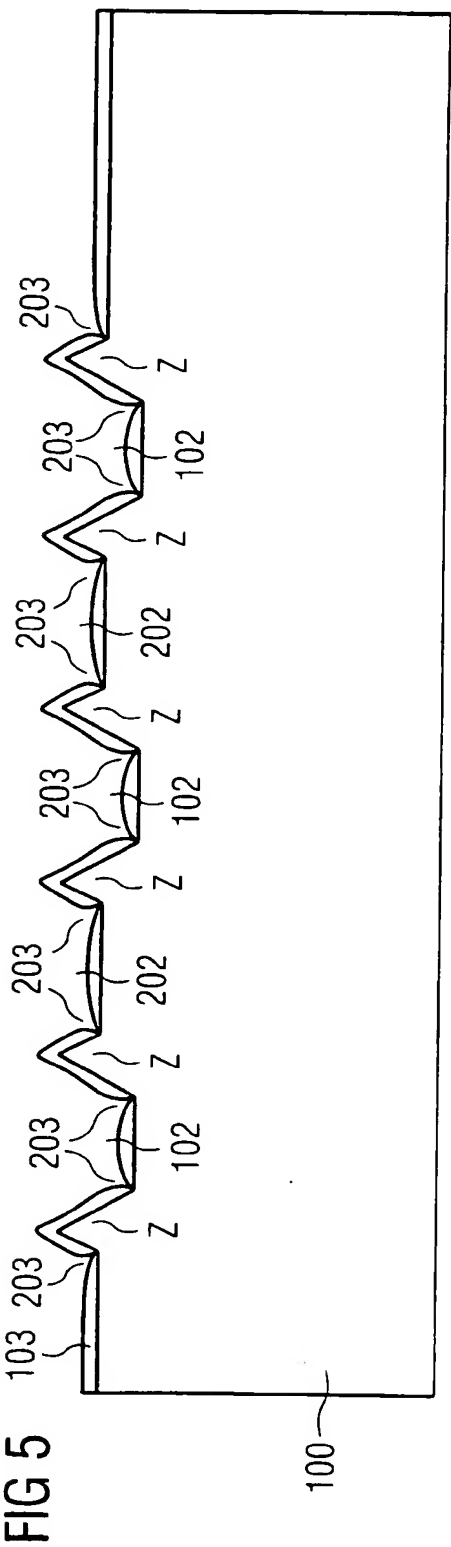
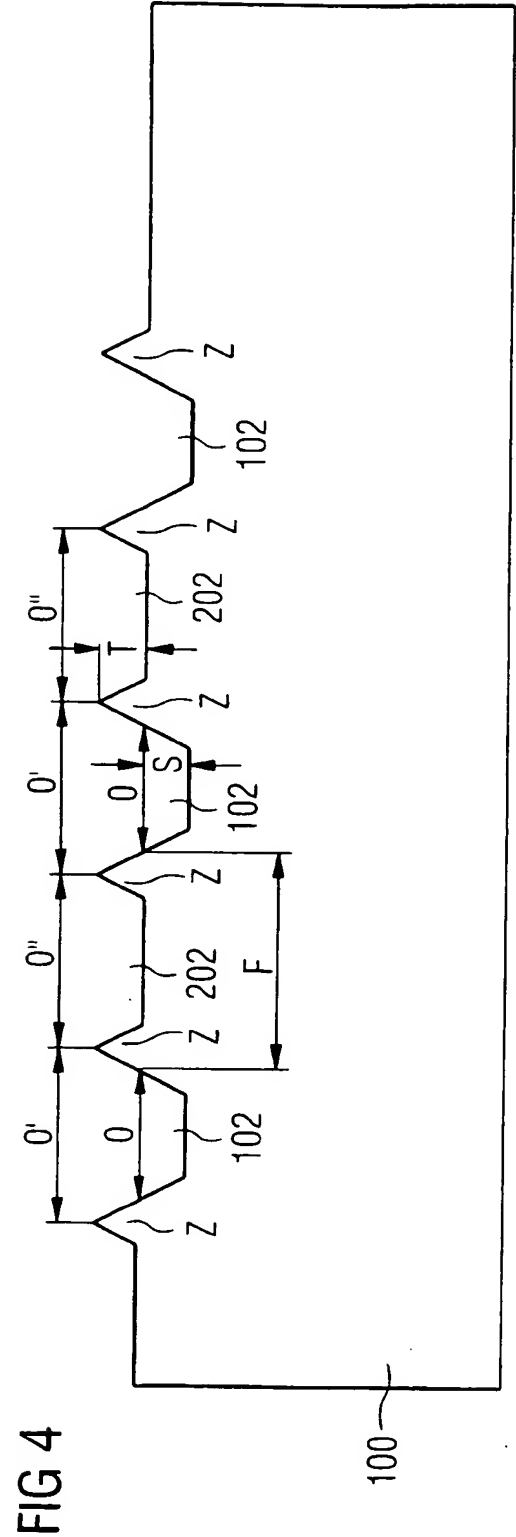
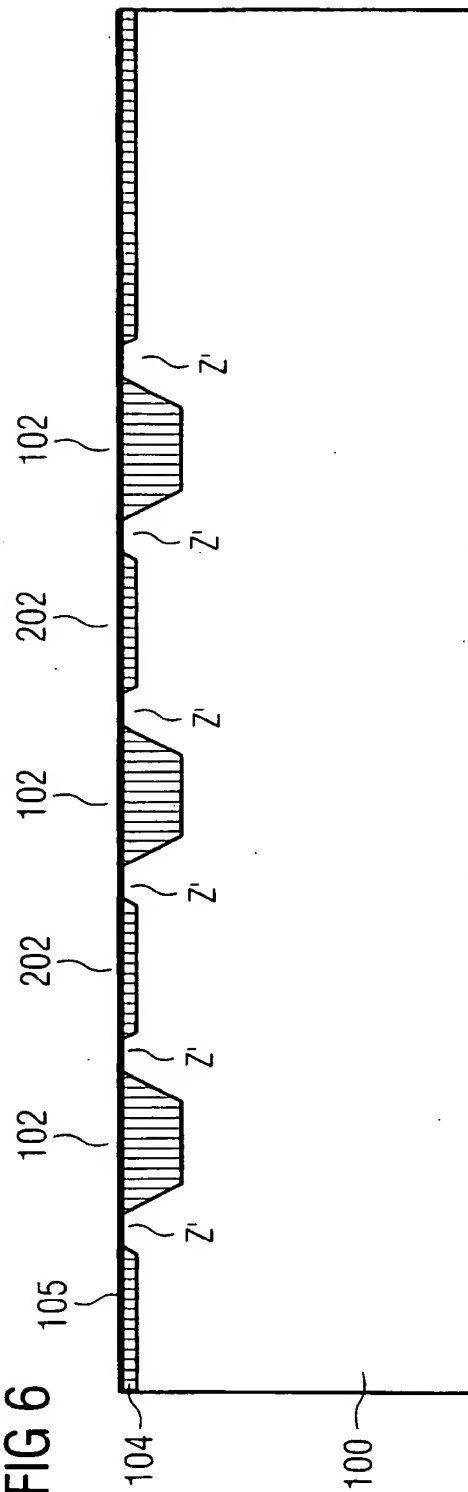
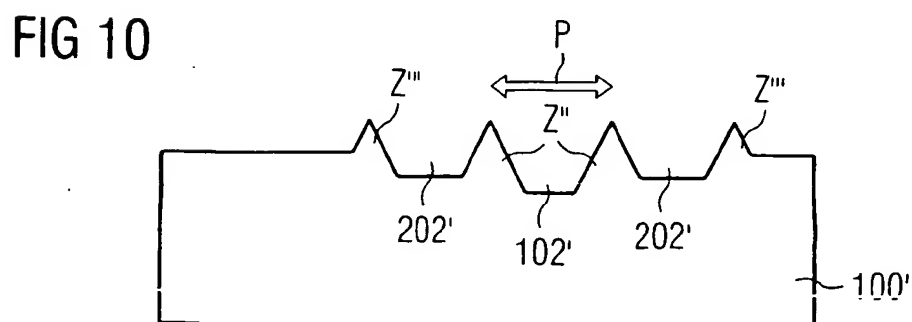
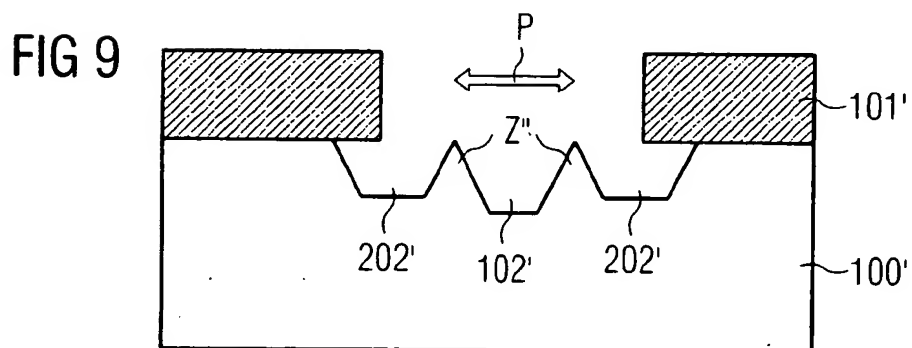
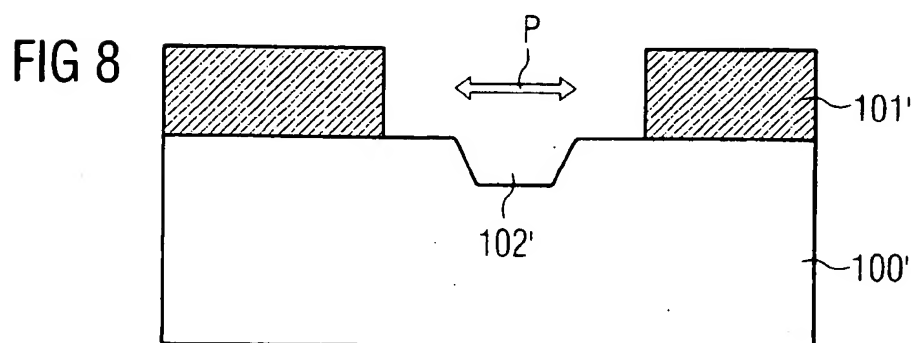
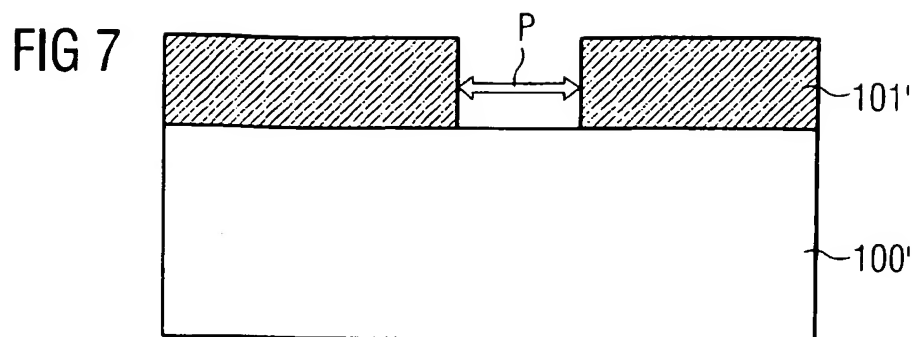


FIG 6





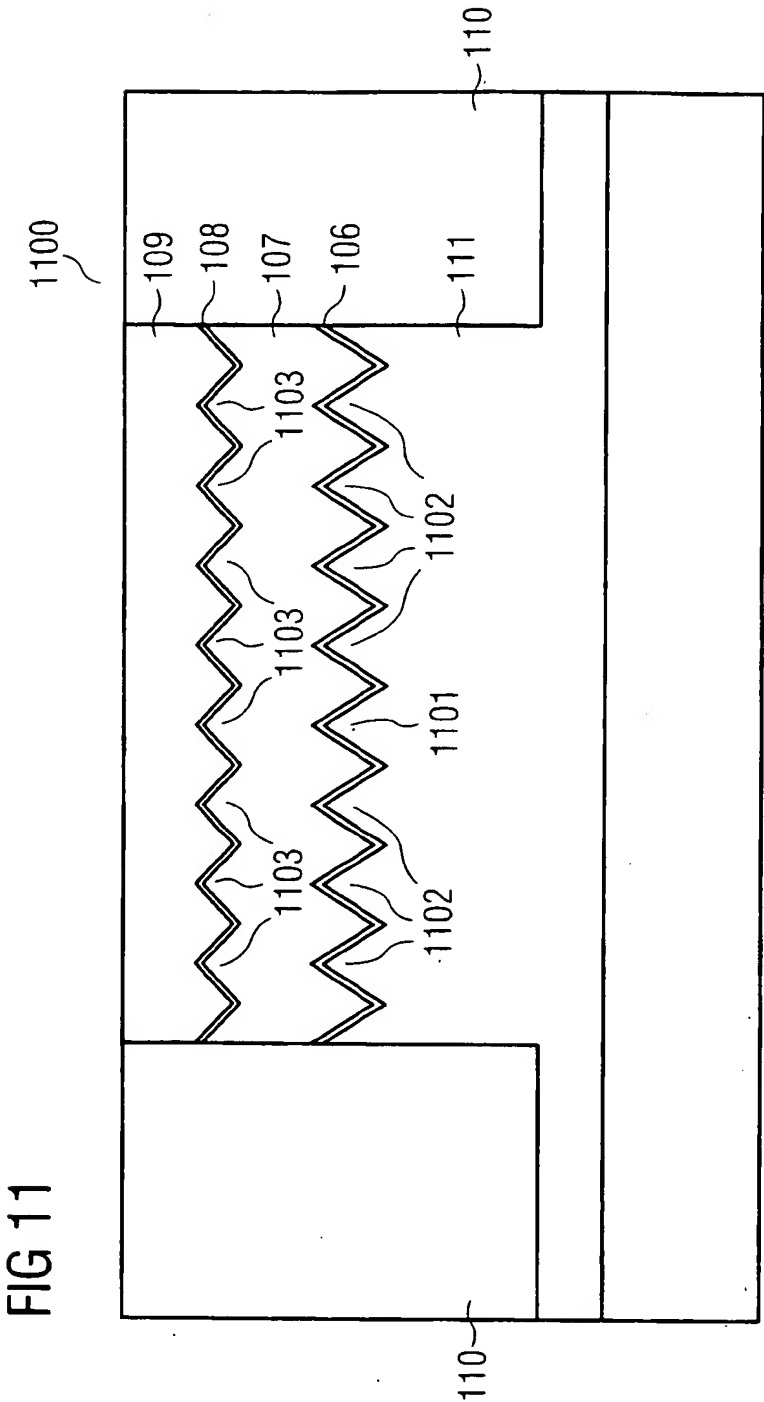


FIG 12

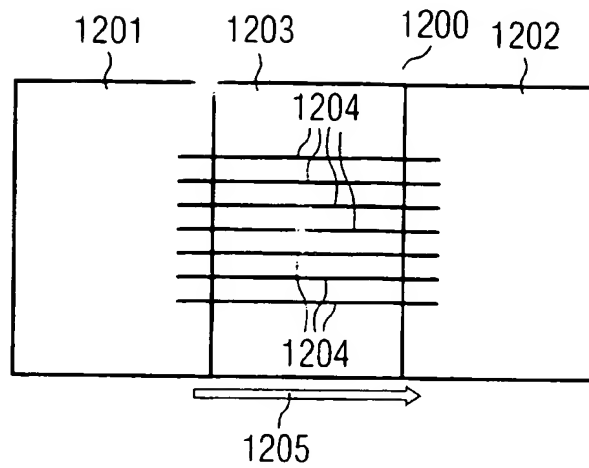


FIG 13

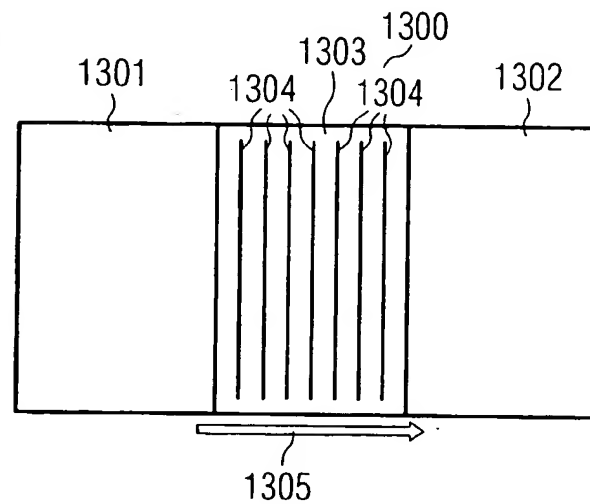


FIG 14

